

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

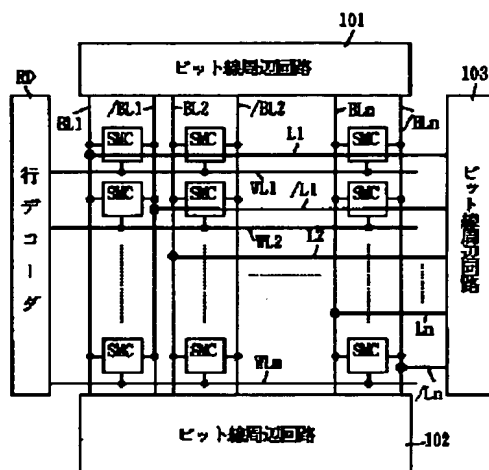
(11) Publication number: **08255484 A**(43) Date of publication of application: **01 . 10 . 96**(51) Int. Cl. **G11C 11/41**(21) Application number: **08066736**(22) Date of filing: **22 . 03 . 96**(30) Priority: **10 . 07 . 90 JP 02183572**(62) Division of application: **03143707**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor:
WADA TOMOHISA
ANAMI KENJI
MURAKAMI SHUJI(54) **SEMICONDUCTOR STORAGE DEVICE**

(57) Abstract:

PURPOSE: To arrange a bit-line peripheral circuit having a larger scale on the same plane as memory cell arrays by leading out a plurality of bit-line signal input-output lines connected to each bit line up to the terminal sections of the memory cell arrays in the direction orthogonal to each bit line.

CONSTITUTION: Bit-line signal input-output lines $L_1, -L_1, \dots, L_n, -L_n$ are connected to corresponding bit lines $BL_1, -BL_1, \dots, BL_n, -BL_n$ respectively, and the right ends of the bit-line signal input-output lines are bonded with a bit-line peripheral circuit 103 arranged outside memory cell arrays. Fixed signals are input to the corresponding bit lines respectively, or signals obtained from the corresponding bit lines are output to the outside of the memory cell arrays. Accordingly, peripheral circuits having larger scales can be arranged freely on the same planes as the memory cell arrays without increasing the size of the memory cell arrays.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-255484

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl.⁶

G 1 1 C 11/41

識別記号

序内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 4 5

審査請求 未請求 請求項の数 2 O L (全 25 頁)

(21)出願番号 特願平8-66736
 (62)分割の表示 特願平3-143707の分割
 (22)出願日 平成3年(1991)6月15日
 (31)優先権主張番号 特願平2-183572
 (32)優先日 平2(1990)7月10日
 (33)優先権主張国 日本(J P)

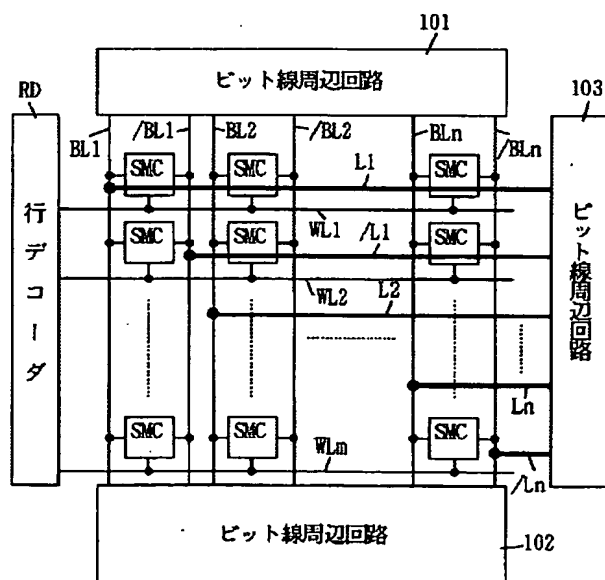
(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72)発明者 和田 知久
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社エル・エス・アイ研究所内
 (72)発明者 穴見 健治
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社エル・エス・アイ研究所内
 (72)発明者 村上 修二
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社エル・エス・アイ研究所内
 (74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 チップサイズを大きくすることなく、より大規模なビット線周辺回路を設けることが可能な半導体記憶装置を提供する。

【解決手段】 メモリセルアレイを有する半導体記憶装置は、ビット線BL1-BLn、/BL1-/BLnと交差して配置され、対応するビット線と接続され、各々の一端がメモリセルアレイの端部まで延在するように形成されたビット線信号IO線L1-Ln、/L1-/Lnと、メモリセルアレイの端部の、メモリセルアレイと同一平面上に配置され、ビット線信号IO線L1-Ln、/L1-/Lnと結合されたビット線周辺回路103を含む。メモリセルアレイの、ビット線と平行な側部にもビット線周辺回路を配置でき、レイアウトの自由度が増す。



【特許請求の範囲】

【請求項1】 複数のワード線と、前記ワード線と交差して配置された複数のビット線と、前記ワード線と前記ビット線との交点に配置された複数のメモリセルとを有するメモリセルアレイを備えた半導体記憶装置であって、

前記ビット線と交差して配置され、かつそれぞれが対応するビット線と接続され、少なくともそれぞれの一端が前記メモリセルアレイの端部まで延在するように形成された複数のビット線信号入出力線と、

前記メモリセルアレイの端部の、前記メモリセルアレイと実質的に同一平面上に設けられ、前記複数のビット線信号入出力線に接続されたビット線周辺回路とを備える、半導体記憶装置。

【請求項2】 それぞれが複数のワード線と、前記ワード線と交差して配置された複数のビット線と、前記ワード線と前記ビット線との交点に配置された複数のメモリセルとを有する、実質的に同一平面上に形成された複数のメモリセルアレイを備えた半導体記憶装置であって、前記メモリセルアレイにおける前記ビット線と交差して配置され、かつ各メモリセルアレイにおける対応するビット線同士を接続するための複数のビット線信号入出力線を備える、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、メモリセルのデータを入出力するビット線を有する半導体記憶装置の改良に関する。

【0002】

【従来の技術】図45は、従来のスタチックRAM（以下、SRAMと称する）の一例を示すブロック図である。図45において、行アドレス入力端子群1には、行アドレスデータが外部から入力され、入力された行アドレスデータは行アドレスバッファ2によって増幅または反転された後、行デコーダ3に与えられる。この行デコーダ3は入力端子群1を介して与えられた行アドレスデータをデコードする。

【0003】一方、列アドレス入力端子群4には列アドレスデータが外部から入力され、この入力された列アドレスデータは列アドレスバッファ5によって増幅または反転された後、列デコーダ6に与えられる。この列デコーダ6は入力端子群4を介して与えられた列アドレスデータをデコードする。メモリセルアレイ7は情報を記憶するための複数のメモリセルがマトリクス状に配列されて構成されている。メモリセルアレイ7から読出された小振幅の読出電圧はマルチプレクサ8を介してセンスアンプ9に与えられ、増幅される。センスアンプ9の出力は出力データバッファ10によってさらに半導体記憶装置の外部に取出すのに必要なレベルまで増幅され、読出データ出力端子11を介して外部へ出力される。

【0004】一方、書込データ入出力端子12には書込データが与えられる。この与えられた書込データは入力データバッファ13によって増幅される。さらに、端子14にはチップセレクト信号が入力され、端子15には読出／書込制御信号が入力される。読出／書込制御回路16はこれらのチップセレクト信号および読出／書込制御信号によって決定される、チップの選択／非選択と、データの読出／書込モードとに応じて、センスアンプ9と出力データバッファ10と入力データバッファ13とを制御する。

【0005】図46は図45に示したSRAMのメモリセルアレイ7の周辺部の構成を示す図である。この図46においては、簡単のために、メモリセルアレイ7として、2行2列の構成のものを示している。図46を参照して、ビット線対20a、20bおよびビット線対21a、21bと、行デコーダ3の出力端子に接続されたワード線22および23との各交点には、メモリセル24a～24dがそれぞれ配置される。各ビット線20a、20b、21a、および21bのそれぞれの一端には、ビット線負荷25a、25b、26aおよび26bが設けられる。これらビット線負荷25a、25b、26aおよび26bは、それぞれの一方導通端子およびゲートが電源18に接続され、かつそれぞれの他方導通端子が対応するビット線に接続されたトランジスタによって構成されている。

【0006】また、図45に示したマルチプレクサ8を構成するトランスファゲート27a、27b、28aおよび28bが各ビット線20a、20b、21aおよび21bの他端に設けられている。各トランスファゲートのゲートには図45に示した列デコーダ6の出力信号が与えられ、そのドレインまたはソースは対応するビット線に接続され、そのソースまたはドレインは入出力（以下、入出力をI/Oと略記する）線対29a、29bのうちの対応するI/O線に接続されている。そして、I/O線29a、29b間の電位差は、センスアンプ9により検出される。センスアンプ9の出力は出力バッファ10によって増幅される。

【0007】図46における各メモリセル24としては、たとえば図47に示すような高抵抗負荷型のMOSメモリセルや図48に示すようなCMOS型メモリセルが用いられる。

【0008】図47に示したメモリセルは、ドライバ41aおよび41bを含んでいる。トランジスタ41aのドレインは記憶ノード45aに接続され、ゲートは記憶ノード45bに接続され、ソースは接地されている。トランジスタ41bのドレインは記憶ノード45bに接続され、ゲートは記憶ノード45aに接続され、ソースは接地されている。さらに、メモリセル24は、アクセストランジスタ42aおよび42bを含んでいる。トランジスタ42aのドレインまたはソースは記憶ノード45

3

aに接続され、ゲートはワード線22または23に接続され、ソースまたはドレインはビット線20aまたは21aに接続されている。トランジスタ42bのドレインまたはソースは記憶ノード45bに接続され、ゲートはワード線22または23に接続され、ソースまたはドレインはビット線20bまたは21bに接続されている。さらに、メモリセル24は、負荷抵抗43a、43bを含む。負荷抵抗43a、43bは、それぞれの一端が電源18に接続され、それぞれの他端が記憶ノード45a、45bに接続されている。

【0009】一方、図48に示したメモリセル24は、図47に示したメモリセル24の負荷抵抗43aおよび43bに代えて、pチャネルトランジスタ44aおよび44bを備えている。トランジスタ44aのドレインは記憶ノード45aに接続され、ゲートは記憶ノード45bに接続され、ソースは電源18に接続されている。トランジスタ44bのドレインは記憶ノード45bに接続され、ゲートは記憶ノード45aに接続され、ソースは電源18に接続されている。

【0010】次に、図45、図46、図47および図48に示した従来の半導体記憶装置の動作について説明する。今、メモリセルアレイ7中のメモリセル24aを選択する場合を考える。この場合には、行アドレス入力端子群1からは選択すべきメモリセル24aが接続された行に対応する行アドレス信号が入力され、行アドレスバッファ2を介して行デコーダ3に与えられる。応じて、行デコーダ3は、メモリセル24aの接続されたワード線22を選択レベル（たとえばHレベル）にし、他のワード線23を非選択レベル（たとえばLレベル）にする。

【0011】一方、列アドレス入力端子群4からは、選択すべきメモリセル24aが接続されたビット線対20a、20bに対応する列を選択する列アドレス信号が入力され、列アドレスバッファ5を介して列デコーダ6に与えられる。応じて、列デコーダ6はビット線対20a、20bに接続されたトランスファゲート27a、27bのみを導通させる。その結果、選択されたビット線20a、20bのみが、それぞれ、IO線29a、29bに接続される。一方、他の非選択ビット線対21a、21bは、IO線対29a、29bと切離されている。

【0012】次に、選択されたメモリセル24aの読出動作について説明する。今、メモリセル24aの記憶ノード45aがHレベルであり、記憶ノード45bがLレベルであるとする。このとき、メモリセルの一方のドライバトランジスタ41aは非導通状態にあり、他方のドライバトランジスタ41bは導通状態にある。さらに、ワード線22がLレベルで選択された状態にあるので、メモリセル24aのアクセストランジスタ42a、42bはともに導通状態にある。したがって、電源18→ビット線負荷25b→ビット線20b→アクセストランジ

4

スタ42b→ドライバトランジスタ41b→接地という経路で直流電流が流れる。

【0013】しかしながら、もう一方の経路、すなわち電源18→ビット線負荷25a→ビット線20a→アクセストランジスタ42a→ドライバトランジスタ41a→接地という経路においては、ドライバトランジスタ41aが非導通状態であるので、直流電流は流れない。このとき、直流電流の流れない方のビット線20aの電位は、（電源電位-Vth）となる。なお、Vthはビット線負荷トランジスタ25a、25b、26aおよび26bのしきい値電圧である。

【0014】また、直流電流の流れる方のビット線20bの電位は、ドライバトランジスタ41b、アクセストランジスタ42bおよびビット線負荷25bの導通抵抗によって電源電圧が分割される結果、（電源電位-Vth）からΔVだけ電位が低下し、（電源電位-Vth-ΔV）になる。ここで、ΔVは、ビット線振幅と呼ばれ、通常50mV～500mV程度でありビット線負荷の大きさによって調整される。

【0015】このビット線振幅は、導通状態のトランスファゲート27a、27bを介して、IO線29a、29bに現われ、これはセンスアンプ9により増幅される。そして、センスアンプ9の出力は出力バッファ10で増幅された後、データ出力として出力端子11から読出される。なお、読出しの場合には、入力データバッファ13は、IO線対29a、29bを駆動しないように、読出/書込制御回路16により制御される。

【0016】一方、書込の場合には、Lレベルのデータを書込むべき側のビット線電位を強制的に低電位に引下げ、他方のビット線の電位を高電位に引上げることにより、メモリセルへのデータの書込が行なわれる。たとえば、メモリセル24aに反転データを書込むには、データ入力バッファ13によって一方のIO線29aをLレベルに、他方のIO線29bをHレベルにすることにより、一方のビット線20aはLレベルになり、他方のビット線20bはHレベルになり、データが書込まれる。

【0017】図49はセンスアンプおよびIO線駆動回路を示す電気回路図である。図49を参照して、nチャネルMOSFET59、60は差動入力回路を構成しており、それぞれのゲートには差動入力信号Vin、/Vinが与えられる。nチャネルMOSFET59、60のソースは共通接続され、パワーダウン用nチャネルMOSFET61を介して接地されている。このnチャネルMOSFET61は入力端子62に入力されたチップイネーブル信号（CE）に応じて導通する。nチャネルMOSFET59、60のドレインには、カレントミラー回路を構成するnチャネルMOSFET57、58のドレインが接続されている。pチャネルMOSFET57、58のそれぞれのソースには電源Vccが接続され、それぞれのゲートは共通接続されている。nチャネ

ルMOSFET60とpチャネルMOSFET58との接続点から出力端子63を介して増幅出力が得られる。

【0018】IO線負荷回路50は、nチャネルMOSFET55、56を含み、それぞれのソースには能動負荷となる1対のIO線29aおよびIO線29bが接続される。これらのIO線29aおよびIO線29bは端子51、52を介して図46に示したトランスファゲート27a、28aのソースおよびトランスファゲート27b、28bのソースに接続される。nチャネルMOSFET55、56の各ゲートおよび各ドレインはそれぞれ電源Vccに共通接続される。

【0019】

【発明が解決しようとする課題】以上説明したように、SRAM等の半導体記憶装置においては、ビット線に関連して種々の回路（ビット線負荷、マルチプレクサ、列デコーダ、センスアンプ等）がメモリセルアレイの周辺に設けられている。以下、ビット線に直接関連するこれらの回路を、ビット線周辺回路と総称することにする。

【0020】ところで、従来の半導体記憶装置では、各ビット線とビット線周辺回路との結合は、各ビット線の上下終端部においてのみ可能である。そのため、ビット線周辺回路の大部分は各ビット線の上下終端部付近に集中して配置されている。このことは、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 5, OCTOBER 1988 "A 14-ns 1-Mbit CMOS SRAM with Variable Bit Organization" や、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 22, NO. 5, OCTOBER 1987 "A 34-ns 1-Mbit CMOS SRAM Using Triple Polysilicon" に示されたSRAMチップのレイアウト構成からも明らかである。したがって、従来の半導体記憶装置では、ビット線周辺回路のサイズはビット線チップに大きく依存することになる。すなわち、ビット線ピッチが広い場合は大規模あるいは大駆動能力のビット線周辺回路（大きなチャネル長やチャネル幅を持つトランジスタや、多数のトランジスタを有するビット線周辺回路）を配置することができるが、ビット線ピッチが狭い場合は小規模あるいは小駆動能力のビット線周辺回路しか配置することができない。ビット線ピッチはメモリセルのサイズにより決定されるが、近年の高集積化の進展により、ビット線ピッチはますます狭くなる傾向にある。したがって、従来の半導体記憶装置では、ビット線周辺回路として大面積のものを配置することができず、所望の性能を得ることが困難であるという問題点があった。たとえば、冗長回路を有し、そのプログラムヒューズが各行ごとに配置されるデバイスでは、メモリセルサイズの縮小がプログラム技術の向上により実現しても、ヒューズを切断する装置

の関係で、ある程度以上微細化できないという問題がある。そのため、各行ごとに、ヒューズをレイアウトすることが不可能となったり、またそれが原因でメモリセルサイズをある程度以上小さくできずチップサイズの縮小化が図れないという問題点があった。

【0021】なお、以上の問題点は、SRAMに限らず、ダイナミックRAM（以下、DRAMと称す）等においても生じる。

【0022】この発明の目的は、チップサイズを大きくすることなく、より大規模なビット線周辺回路を設けることが可能な半導体記憶装置を提供することである。

【0023】この発明の他の目的は、チップサイズを大きくすることなく、ビット線周辺回路と入出力手段とを配線し得るような半導体記憶装置を提供することである。

【0024】

【課題を解決するための手段】請求項1にかかるこの発明の半導体記憶装置は、複数のワード線と、これらワード線と交差して配置された複数のビット線と、ワード線とビット線との交点に配置された複数のメモリセルとを有するメモリセルアレイを備えている。さらに、ビット線と交差して配置され、かつそれぞれが対応するビット線と接続され、少なくともそれぞれの一端がメモリセルアレイの端部まで延在するように形成された複数のビット線信号入出力線と、メモリセルの端部の、メモリセルと実質的に同一平面上に形成され、ビット線信号入出力線に接続されたビット線周辺回路とを備えている。

【0025】この半導体記憶装置においては、各ビット線と接続された複数のビット線信号入出力線が、各ビット線と直交する方向のメモリセルアレイの端部まで引出されることにより、従来は各ビット線の上下終端部にしか配置できなかったビット線周辺回路を、メモリセルと同一平面上の、各ビット線信号入出力線の終端部にも分散して配置することが可能となった。その結果、ビット線周辺回路のレイアウトの自由度が向上し、ビット線ピッチを広げることなく、より大規模なビット線周辺回路の配置が可能となる。

【0026】請求項2にかかるこの発明の半導体記憶装置は、それぞれが複数のワード線と、これらのワード線と交差して配置された複数のビット線と、ワード線とビット線との交点に配置された複数のメモリセルとを有する、実質的に同一平面上に形成された複数のメモリセルアレイを備えている。さらに、各メモリセルアレイにおけるビット線と交差して配置され、かつ各メモリセルアレイにおける対応するビット線同士を接続するための複数のビット線信号入出力線を備えている。

【0027】このような構成の半導体記憶装置においては、同一平面上に設けられた各メモリセルアレイにおける対応するビット線同士が各ビット線信号入出力線によって接続されることにより、従来は各メモリセルアレイ

7

個別に設けられていたビット線周辺回路を、各メモリセルアレイの間で共用することが可能となる。その結果、各メモリセルアレイについて、実質的にビット線周辺回路の配置面積が増加したことになり、より大規模なビット線周辺回路の配置が可能となる。

【0028】

【発明の実施の形態】

実施の形態1

図1は、この発明の実施の形態1にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、ワード線WL1~WLnと交差（好ましくは直交）して複数のビット線BL1、/BL1、BL2、/BL2、...BLn、/BLnが設けられている。各ビット線は隣接するもの同士がビット線対を構成している。たとえば、ビット線BL1と/BL1とで1組のビット線対を構成し、ビット線BL2と/BL2とで1組のビット線対を構成している。これらビット線対とワード線との各交点には、スタチックメモリセルSMCが配置され、メモリセルアレイを構成している。スタチックメモリセルSMCとしては、たとえば図47に示すメモリセルや図48に示すメモリセルが用いられる。各ワード線WL1~WLnは、行デコーダRDの出力信号を受ける。この行デコーダRDは、図示しないアドレスバッファを介して与えられる行アドレス信号をデコードして、ワード線WL1~WLnのうちの1本を選択する。各ビット線対BL1、/BL1、...BLn、/BLnの一端には、ビット線周辺回路101が設けられる。また、各ビット線対BL1、/BL1、...BLn、/BLnの他端には、ビット線周辺回路102が設けられる。ここまでの構成は、従来のSRAMと何ら変わりはない。

【0029】この実施の形態1の特徴は、ビット線BL1、/BL1、...BLn、/BLnと交差してビット線信号IO線L1、/L1、...Ln、/Lnを設けたことである。ビット線信号IO線L1、/L1、...Ln、/Lnは、それぞれ、対応するビット線BL1、/BL1、...BLn、/BLnと接続されており、それぞれ対応するビット線に所定の信号を入力し、または対応するビット線から得られる信号をメモリセルアレイの外部へ出力する。図1の実施の形態では、ビット線信号IO線L1、/L1、...Ln、/Lnの各左端が対応するビット線と接続され、各右端がメモリセルアレイの右側すなわち行デコーダRDが配置された側と反対側に引出されている。なお、各ビット線信号IO線L1、/L1、...Ln、/Lnは、ワード線WL1、WL2、...WLnと平行になるように配置されている。

【0030】メモリセルアレイ外に引出されたビット線信号IO線L1、/L1、...Ln、/Lnの各右端には、ビット線周辺回路103が結合される。前述したように、従来のSRAMでは、ビット線の上下終端部（ビ

8

ット線周辺回路101、102の部分）にしかビット線周辺回路を配置できなかった。しかし、図1の実施の形態では、ビット線と直交する方向におけるメモリセルアレイの端部にもビット線周辺回路103を配置できる。このことは、ビット線周辺回路を配置し得る面積が増えたことを意味している。その結果、ビット線周辺回路をより広い面積に分散して配置できるので、ビット線ピッチを広げることなくビット線周辺回路として従来よりも大規模なものをレイアウトすることができる。

【0031】図2および図3に、図1の実施の形態におけるビット線周辺回路の分散配置例を示す。図2では、ビット線周辺回路101がビット線負荷回路を含み、ビット線周辺回路102が書込回路を含み、ビット線周辺回路103がマルチプレクサとセンスアンプ群と列デコーダとを含む。図3では、ビット線周辺回路101がビット線負荷回路を含み、ビット線周辺回路102がビット線負荷回路を含み、ビット線周辺回路103がマルチプレクサとセンスアンプ群と列デコーダと書込回路とを含んでいる。なお、図2および図3は一例にすぎず、各ビット線周辺回路としてどのような回路を配置するかは任意に決められる。

【0032】さらに、図4は図2に示す実施の形態のより詳細な回路構成例を示し、図5は図3に示す実施の形態のより詳細な回路構成例を示す。

【0033】上記のようなビット線信号IO線L1、/L1、...Ln、/Lnのピッチは、メモリセルアレイの上下方向のサイズに依存し、各ビット線のピッチには依存しない。したがって、メモリセルアレイの左右方向のサイズよりも上下方向のサイズが大きくなるようにSRAMを設計すれば、ビット線信号IO線ピッチをビット線ピッチよりも広くすることができる。この場合、ビット線周辺回路103には通常のビット線ピッチでは配置できないような大規模なビット線周辺回路を配置することが可能となる。

【0034】ビット線信号IO線ピッチとビット線ピッチとの比較を、1MビットSRAMの典型的なモデルを例にして以下に説明する。図6に示すように、1MビットSRAMは、0から31までの32のブロックに分割されている。各ブロックは、図7に示すように、スタチックメモリセルSMCが512行×64列に配置されている。各スタチックメモリセルSMCには2本のビット線が接続されているので、1ブロック当たりビット線の本数は、 $64 \times 2 = 128$ 本である。同様に、ビット線信号IO線の本数も、1ブロック当たり128本となる。ここで、各スタチックメモリセルSMCのワード線方向の幅をa、ビット線方向の幅をbとすると、ビット線信号IO線ピッチP1は、

【0035】

【数1】 $P1 = (512 \times b) / 128 = 4b$

で表わされ、ビット線ピッチP2は、

【0036】

【数2】 $P2 = (64 \times a) / 128 = a / 2$

で表わされる。一般に、 $b > a$ に選ばれている。たとえば、 $a = 5.8 \mu m$ 、 $b = 8.5 \mu m$ 、($b/a = 1.47$)とすると、

【0037】

【数3】 $P1 = 34.0 \mu m$

$P2 = 2.90 \mu m$

となる。したがって、ビット線IO線ピッチの方がビット線ピッチよりも広いことがわかる。

【0038】実施の形態2

図8は、この発明の実施の形態2にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態2では、ビット線信号IO線L1、/L1、...Ln、/Lnの各右端がそれぞれ対応するビット線BL1、/BL1、...BLn、/BLnに接続され、各左端がメモリセルアレイ外に引出されてビット線周辺回路104に結合されている。したがって、ビット線周辺回路104はメモリセルアレイの左側すなわち行デコーダRDとメモリセルアレイとの間に配置されている。その他の構成は、前述の実施の形態1(図1)と同様である。

【0039】図9に、図8に示す実施の形態のより詳細な具体例を示す。

実施の形態3

図10は、この発明の実施の形態3にかかるSRAMのメモリセルおよびその周辺部の構成を示すブロック図である。図において、この実施の形態3では、ビット線信号IO線L1、/L1、...Ln、/Lnの端部にのみビット線周辺回路103が設けられている。前述したように、ビット線信号IO線ピッチはビット線ピッチよりも広くすることができるため、このような配置が可能となったものである。その他の構成は、前述の実施の形態1(図1)と同様である。

【0040】図11に、図10に示す実施の形態のより詳細な具体例を示す。

実施の形態4

図12は、この発明の実施の形態4にかかるSRAMの全体構成を示すブロック図である。図において、この実施の形態4では、3つのビット線周辺回路101~103が設けられている。ビット線周辺回路101はビット線負荷回路を含む。ビット線周辺回路102は、マルチプレクサと、センスアンプ群と、列デコーダとを含む。ビット線周辺回路103は書込回路を含む。SRAMチップの一端にはアドレス信号入力ピン群APが設けられ、他端にはデータ信号IOピン群DPが設けられる。アドレス信号入力ピン群APには外部からアドレス信号が与えられる。アドレス信号入力ピン群APから入力されたアドレス信号は、アドレスバッファ201に与えられる。アドレスバッファ201は、与えられたアドレス

信号のうち行アドレス信号を行デコーダRDに与え、列アドレス信号をビット線周辺回路102内の列デコーダに与える。データ信号IOピン群DPには、外部から書込データおよびコントロールデータが与えられる。データ信号IOピン群DPから入力された書込データはデータIO回路/コントロール回路202を介してビット線周辺回路103に与えられる。また、データ信号IOピン群DPから入力されたコントロールデータは、データIO回路/コントロール回路202を介してSRAMの各回路に与えられる。ビット線周辺回路102内のセンスアンプ群から得られる読出データは、データIO回路/コントロール回路202を介してデータ信号IOピン群DPに与えられ、SRAMのチップの外部へと出力される。

【0041】上記のごとく、図12の実施の形態では、SRAMのチップの一端にアドレス信号入力ピンを、他端にデータ信号IOピンをかためて配置できるので、たとえば図13に示すようなシン・スモール・アウトライン・パッケージTSOPにSRAMチップを収納することが容易となる。

【0042】図14に、図12に示す実施の形態のより詳細な具体例を示す。

実施の形態5

図15は、この発明の実施の形態5にかかるSRAMの全体構成を示すブロック図である。図において、この実施の形態5では、ビット線周辺回路101はビット線負荷回路と書込回路とを含む。ビット線周辺回路104はマルチプレクサとセンスアンプ群と列デコーダとを含む。また、SRAMチップの一端には信号IOピン群SPが設けられている。この信号IOピン群SPには、アドレス信号、書込データおよびコントロールデータが外部から与えられる。信号IOピン群SPから入力された信号およびデータは、信号IO回路203およびデータIOバスIOBを介して行デコーダRD、ビット線周辺回路101および104に与えられる。また、ビット線周辺回路104内のセンスアンプ群から得られる読出データは、データIOバスIOBおよび信号IO回路203を介して信号IOピン群SPに与えられ、SRAMチップの外部へ出力される。

【0043】以上のごとく、図15の実施の形態では、すべての信号IOピンをSRAMチップの片側に配置することができる。そのため、SRAMチップを、たとえば図16に示すようなシングル・インライン・パッケージSIPに収納することが容易となる。

【0044】図17に、図15に示す実施の形態のより詳細な具体例を示す。

実施の形態6

図18は、この発明の実施の形態6にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態6では、各ビ

11

ット線 $BL1, /BL1, \dots BLn, /BLn$ に対して2組のビット線信号IO線が設けられている。すなわち、ビット線信号IO線 $L1a, /L1a, \dots Lna, /Lna$ と、ビット線信号IO線 $L1b, /L1b, \dots Lnb, /Lnb$ とである。そして、ビット線信号IO線 $L1a, /L1a, \dots Lna, /Lna$ の右端にはビット線周辺回路103aが配置され、ビット線信号IO線 $L1b, /L1b, \dots Lnb, /Lnb$ の右端にはビット線周辺回路103bが配置されている。

【0045】上記のような構成によれば、たとえば図19に示すようにビット線周辺回路103aを第1の入出力ポート、ビット線周辺回路103bを第2の入出力ポートとすることにより、複数の入出力ポートを有するSRAMが実現できる。

【0046】図20に、図19に示す実施の形態のより詳細な具体例を示す。

実施の形態7

図21は、この発明の実施の形態7にかかるSRAMのメモリセルアレイおよびその周辺部分の構成を示すブロック図である。図において、この実施の形態7では、前述の実施の形態1（図1）におけるメモリセルアレイが上側メモリセルアレイUMCAと下側メモリセルアレイLMCAとに分割されている。したがって、上側メモリセルアレイUMCAおよび下側メモリセルアレイLMCAは、それぞれ i 本のワード線 $WL1 \sim WLi$ （ $i = n/2$ ）を含んでいる。上側メモリセルアレイUMCAには、各ビット線 $BL1, /BL1, \dots BLn, /BLn$ に対してビット線信号IO線 $L1a, /L1a, \dots Lna, /Lna$ が設けられている。これらビット線信号IO線 $L1a, /L1a, \dots Lna, /Lna$ はビット線周辺回路103aに結合されている。また、下側メモリセルアレイLMCAには、各ビット線 $BL1, /BL1, \dots BLn, /BLn$ に対してビット線信号IO線 $L1b, /L1b, \dots Lnb, /Lnb$ が設けられている。これらビット線信号IO線 $L1b, /L1b, \dots Lnb, /Lnb$ はビット線周辺回路103bに結合されている。その他の構成は、前述の実施の形態1（図1）と同様である。

【0047】上記のような構成によれば、各ビット線が2分割されているため、ビット線容量が半分に軽減され、メモリの動作を高速化し得るという効果を奏する。

【0048】図22に、図21に示す実施の形態のより詳細な具体例を示す。

実施の形態8

図23は、この発明の実施の形態8にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態8は、実施の形態7（図21）における各ビット線の分割された部分にビット線周辺回路105aおよび105bが設けられている。この場合、ビット線周辺回路を、図21に示す

12

実施の形態に比べてより広いスペースに分散配置できるため、ビット線周辺回路をより大規模な回路構成とすることができる。

【0049】図24に、図23に示す実施の形態のより詳細な具体例を示す。

実施の形態9

図25は、この発明の実施の形態9にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態9では、第1および第2のメモリブロックM1およびM2がワード線方向に沿って隣接して配置されている。各メモリブロックM1およびM2は、それぞれ同一の構成を有するメモリセルアレイを含む。第1のメモリブロックM1のメモリセルアレイに対しては、行デコーダRDのビット線周辺回路101とビット線周辺回路102とが設けられる。第2のメモリブロックM2のメモリセルアレイに対しては、行デコーダRDとビット線周辺回路101'とビット線周辺回路102'とが設けられる。ビット線周辺回路101と101'は同一の回路であってもよいし、異なる回路であってもよい。同様に、ビット線周辺回路102と102'は同一の回路であってもよいし、異なる回路であってもよい。第1のメモリブロックM1におけるビット線 $BL1, /BL1, \dots BLn, /BLn$ と第2のメモリブロックM2におけるビット線 $BL1, /BL1, \dots BLn, /BLn$ とは、それぞれ対応するもの同士が、ビット線信号IO線 $L1, /L1, \dots Ln, /Ln$ を介して接続されている。

【0050】上記実施の形態9によれば、ビット線信号IO線 $L1, /L1, \dots Ln, /Ln$ によって第1および第2のメモリブロックM1およびM2の対応するビット線同士が接続されているため、第1のメモリブロックM1のために設けられたビット線周辺回路101、102を第2のメモリブロックM2にも共用でき、また第2のメモリブロックM2のために設けられたビット線周辺回路101'、102'を第1のメモリブロックM1のためにも共用することができる。したがって、実質的に各メモリブロックM1、M2に対するビット線周辺回路の配置スペースが広がり、大規模なビット線周辺回路のレイアウトを容易化することができる。

【0051】図26に、図25に示す実施の形態のより詳細な具体例を示す。

実施の形態10

図27は、この発明の実施の形態10にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態10は、前述の実施の形態9（図25）と同様に、2つのメモリブロックM1およびM2がワード線方向に沿って隣接配置されている。第1のメモリブロックM1の各ビット線 $BL1, /BL1, \dots BLn, /BLn$ と第2のメモリブロックM2の各ビット線 $BL1, /BL1, /BLn,$

13

／BL_nとは、それぞれ、2組のビット線信号IO線L1a、／L1a、…Lna、／LnaとL1b、／L1b、…Lnb、／Lnbとによって接続されている。その他の構成は、図25の実施の形態と同様である。

【0052】上記のような構成を有する実施の形態10によれば、前述の実施の形態9（図25）が有する効果に加えて、以下のような効果を奏する。すなわち、第1および第2のメモリブロックM1およびM2における各ビット線同士が2本のビット線信号IO線で短絡されているため、第1のメモリブロックM1のビット線と第2のメモリブロックM2のビット線とが並列接続されることになり、実効的な各ビット線の抵抗を低減できる。その結果、メモリセルアレイ内でのビット線を介した信号の伝達スピードを向上することができ、メモリ動作の高速化を図ることができる。

【0053】なお、ビット線は、通常、低抵抗なアルミニウムを用いて配線される。しかし、上記実施の形態10によれば、各ビット線の抵抗値が多少高くてもメモリの動作速度上問題を生じない。したがって、ビット線の材料として、従来のアルミニウムに代えて、ポリサイドやタングステン等を用いることができる。これらポリサイドやタングステン等は、アルミニウムに比べて抵抗は高いが、微細加工しやすいため、高集積化に適し、チップサイズの縮小化を図ることができる。

【0054】図28に、図27に示す実施の形態のより*

$$\begin{aligned} R &= R1 + [1 / \{1 / (Rs + R2) + 1 / (R2 + Rs)\}] + R3 \\ &= R1 + R3 + \{(Rs + R2) / 2\} \\ &= (Rb - R2) + \{(Rs + R2) / 2\} \\ &= Rb + \{(Rs - R2) / 2\} \end{aligned}$$

なお、上式において、Rb = R1 + R2 + R3である。上式から明らかなように、抵抗R2の値すなわちビット線信号IO線L1aとL1bとの間隔によって、合成抵抗Rの値も変わる。したがって、対応するビット線に接続される2本のビット線信号IO線の間隔は、各ビット線について同じ間隔である方が、各ビット線の抵抗のばらつきを少なくする点で好ましい。

【0057】なお、各ビット線信号IO線は、図31または図32に示すように配置されてもよい。ただし、図32の場合、各ビット線の抵抗は不均一なものとなる。

【0058】実施の形態11

図33は、この発明の実施の形態11にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態11では、第1のメモリブロックM1と第2のメモリブロックM2との間にビット線周辺回路106が配置されている。その他の構成は、前述の実施の形態9（図25）と同様である。

【0059】上記実施の形態11によれば、前述の図25の実施の形態と同様の効果を奏する他、ビット線周辺回路の配置スペースが増し、より大規模なビット線周辺

14

*詳細な具体例を示す。前述したように、実施の形態10では、各ビット線の抵抗を低減できる。この理由を、以下により詳細に説明する。一例として、図28における第1のメモリブロックM1のビット線負荷回路101からビット線BL1を介して第2のメモリブロックM2のセンスアンプ群102'に電流が流れる場合を説明する。この場合、図29に示すように、(1)、(2)の2つの電流経路が生じる。(1)の電流経路は、第1のメモリブロックM1のビット線BL1からビット線信号IO線L1aを介して第2のメモリブロックM2のビット線BL1に電流が流れる経路である。(2)の電流経路は、第1のメモリブロックM1のビット線BL1からビット線信号IO線L1bを介して第2のメモリブロックM2のビット線BL1に電流が流れる経路である。今、ビット線信号IO線L1aよりも上のビット線BL1の抵抗値をR1とし、ビット線信号IO線L1aとビット線信号IO線L1bとの間のビット線BL1の抵抗値をR2とし、ビット線信号IO線L1bよりも下側のビット線BL1の抵抗値をR3とし、ビット線信号IO線L1aまたはL1bの抵抗値をRsとすると、図29の等価回路は図30に示すようになる。

【0055】図30に示す等価回路の合成抵抗Rは、次式のごとくになる。

【0056】

【数4】

回路のレイアウトが可能となる。また、ビット線周辺回路106は、第1のメモリブロックM1と第2のメモリブロックM2とのビット線周辺回路を兼ねているため、チップサイズの縮小化を図ることもできる。

【0060】図34に、図33に示す実施の形態のより詳細な具体例を示す。

実施の形態12

図35は、この発明の実施の形態12にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態12は、前述の実施の形態11（図33）のメモリ回路300がワード線方向に沿って2組隣接して配置されている。さらに、左側に配置されたメモリ回路300における各メモリブロックM1、M2のビット線BL1、／BL1、…BLn、／BLnと、右側に配置されたメモリ回路300における各メモリブロックM1、M2のビット線BL1、／BL1、…BLn、／BLnとが、それぞれ、ビット線信号IO線L1、／L1、…Ln、／Lnによって接続されている。

【0061】上記実施の形態12によれば、4つのメモリブロックにおける各ビット線の対応するもの同士がビ

15

ット線信号I O線によって接続されているので、各メモリブロックで使用し得るビット線周辺回路の数が図33の実施の形態に比べてさらに増えるため、ビット線周辺回路のレイアウトをさらに容易化することができる。

【0062】なお、図35におけるビット線周辺回路106の内部構成は、たとえば図34に示すビット線周辺回路106と同様であってよい。

【0063】実施の形態13

図36は、この発明の実施の形態13にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態13は、前述の実施の形態8（図23）と実施の形態11（図33）とを組合わせた構成となっている。すなわち、それぞれが上側メモリセルアレイUMCAと下側メモリセルアレイLMCAとに分割された2つのメモリブロックM1、M2がワード線方向に沿って隣接して配置され、2つのメモリブロック間で対応するビット線同士がビット線信号I O線を介して接続されている。

【0064】実施の形態14

図37は、この発明の実施の形態14にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態14は、前述の実施の形態13（図36）に示すメモリ回路400をワード線方向に沿って2つ並べ、かつ2つのメモリセル回路400間で対応するビット線同士をビット線信号I O線で接続した構成となっている。

【0065】実施の形態15

図38は、この発明の実施の形態15にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。この実施の形態15は、いわゆる分割ワードライン構成のメモリにこの発明を適用した例を示している。図において、このSRAMは、分割された複数の（図38では8つの）メモリセルアレイMCA1～MCA8を有している。各メモリセルアレイMCA1～MCA8に対してそれぞれローカル行デコーダRD1～RD8が設けられている。また、メモリセルアレイMCA1～MCA8の全体に対して共通のグローバル行デコーダGRDが1つ設けられている。外部から入力される行アドレスデータのうち、上位から数ビットの信号がグローバル行デコーダGRDに与えられ、残りのビットの信号が各ローカル行デコーダRD1～RD8に与えられる。さらに、各ローカル行デコーダRD1～RD8には外部からローカル行デコーダ選択信号が与えられる。各メモリセルアレイMCA1～MCA8におけるワード線WL1～WLnは、所定本数ずつ複数の行グループに分けられている。グローバル行デコーダGRDは与えられる行アドレス信号をデコードすることにより、上記複数の行グループの中からいずれか1つの行グループを選択する信号を出力する。グローバル行デコーダGRDから出力される行グループ選択信号は、行グループ選択信号線

16

RGS1～RGSjを介して各ローカル行デコーダRD1～RD8に与えられる。ローカル行デコーダRD1～RD8は、与えられる行アドレス信号と行グループ選択信号とをデコードすることにより、グローバル行デコーダGRDによって選択された行グループにおける1本のワード線を選択する。なお、ローカル行デコーダRD1～RD8は、ローカル行デコーダ選択信号によりいずれか1つが選択的に能動化されるため、実際はある1つのメモリセルアレイにおける1本のワード線のみが選択されることになる。ここまでの構成は、従来の一般的な分割ワード線構成のメモリと同様である。分割ワード線構成のメモリのさらに詳細な説明は、下記の文献に示されている。すなわち、一般的な分割ワード線構成は、U. S. Patent 4, 542, 486や、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18, pp. 47, -48 5 OCTOBER 1983 “A divided word line structure in the static RAM and its application to a 64K full CMOS RAM”に示されている。また、行グループ選択方式を用いたモディファイド分割ワード線構成は、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 5, pp1060-1066, OCTOBER 1988 “A 14-ns 1Mbit CMOS SRAM with Variable Bit Organization”に示されている。さらに、分割ワード線構成を階層化したHierarchical word decoding architecture (HWD) は、1990 IEEE International Solid-State Circuit Conference, pp132 “A 20-ns 4Mb CMOS SRAM with Hierarchical Word Decoding Architecture”に示されている。

【0066】図38において、さらに各メモリセルアレイMCA1～MCA8には、各ビット線BL1、/BL1、…BLn、/BLnに対して、ビット線信号I O線L1、/L1、…Ln、/Lnが設けられている。また、各メモリセルアレイMCA1～MCA8の間には、1つおきにビット線周辺回路106が配置されている。各ビット線周辺回路106は、それに隣接する左右のメモリセルアレイにおけるビット線信号I O線L1、/L1、…Ln、/Lnと結合されている。すなわち、各ビット線周辺回路106は、それに隣接する左右のメモリセルアレイによって共用されている。さらに、各ビット線周辺回路106は、I O線IO1～IOkを介してI O回路500と接続されている。I O回路500は、I Oバッファ等を含み、外部から入力される書込データや

17

コントロールデータを各ビット線周辺回路106に入力し、または各ビット線周辺回路106からの読出データ等をSRAMチップの外部へ出力する。各IO線I1~IOkは、ワード線WL1~WLn、ビット線信号IO線L1、/L1、...Ln、/Lnおよび行グループ選択信号線RGS1~RGSjと平行に配置されている。したがって、IO線IO1~IOkは、ワード線やビット線信号IO線や行グループ選択信号線と交差しないので、それらと同じ配線層で形成することができる。そのため、IO線IO1~IOkの配線工程が簡素化できる。しかも、各IO線IO1~IOkはメモリセルアレイMCA1~MCA8上を通過するように配線できるため、従来はメモリセルアレイ外を引回して配線していたのに比べて、チップサイズの縮小化を図ることができる。

【0067】なお、図38の実施の形態において、さらに各ビット線の上下終端部にビット線周辺回路を設けるようにしてもよい。

【0068】図39に、図38におけるビット線周辺回路の一具体例を示す。

実施の形態16

図40は、この発明の実施の形態16にかかるSRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態16では、図38に示す分割ワード線構成のメモリがビット線方向に沿って複数個(図40では4個)設けられている。各メモリのIO回路500は、入出力データバスIOBを介して図示しないIOピンと接続されている。

【0069】実施の形態17

図41は、この発明の実施の形態17にかかるDRAMのメモリセルアレイおよびその周辺部の構成を示すブロック図である。図において、この実施の形態17では、ワード線WL1~WLnとビット線対BL1、/BL1、...BLn、/BLnとの交点に、図42に示すようなダイナミックメモリセルDMCが配置されている。ダイナミックメモリセルDMCは、図42に示すように、メモリキャパシタCとトランスファゲートトランジスタTGとによって構成されている。図41に示すDRAMのその他の構成は、前述した実施の形態1(図1)と同様である。

【0070】図43は、図41の実施の形態における各ビット線周辺回路の分散配置例を示している。この図43において、ビット線周辺回路101および102は、それぞれプリチャージ回路を含んでいる。また、ビット線周辺回路103はセンスアンプ群と列デコーダとを含んでいる。

【0071】図44に、図43に示す実施の形態のより詳細な具体例を示す。図41および図43に示すように、DRAMにおいてもこの発明を適用することが可能であり、SRAMの場合と同様の効果を奏する。なお、

18

図41および図43においては、前述した実施の形態1(図1)に対応する構成のDRAMを示したが、その他、前述の第2~実施の形態16と同様の構成をDRAMで実現することももちろん可能である。

【0072】

【発明の効果】以上のように、この発明によれば、ビット線信号IO線を設けることにより従来では配置が困難であった部分にビット線周辺回路を配置することができる。その結果、より広いスペースにビット線周辺回路を分散して配置することが可能となり、メモリセルアレイのサイズを増加することなく、メモリセルアレイと同一平面上に、より大規模なビット線周辺回路を配置することができる。

【0073】また、複数のメモリセルアレイにおける対応するビット線同士をビット線信号IO線によって接続するようにしたので、あるメモリセルアレイに対して設けられたビット線周辺回路を、同一平面上にある他のメモリセルアレイでも共用することができ、その結果、各メモリセルアレイで使用可能なビット線周辺回路の数を実質的に増加することができる。そのため、メモリセルアレイのサイズを増すことなく、より大規模なビット線周辺回路の配置が可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の構成を示すブロック図である。

【図2】 図1に示す実施の形態における各ビット線周辺回路の分散配置例を示したブロック図である。

【図3】 図1に示す実施の形態における各ビット線周辺回路の他の分散配置例を示したブロック図である。

【図4】 図2に示す実施の形態のより詳細な具体例を示す図である。

【図5】 図3に示す実施の形態のより詳細な具体例を示す図である。

【図6】 1MビットSRAMの典型的な構成を示す図である。

【図7】 図6に示すSRAMの1ブロック分の構成を示す図である。

【図8】 この発明の実施の形態2の構成を示すブロック図である。

【図9】 図8に示す実施の形態のより詳細な具体例を示す図である。

【図10】 この発明の実施の形態3の構成を示すブロック図である。

【図11】 図10に示す実施の形態のより詳細な具体例を示す図である。

【図12】 この発明の実施の形態4の構成を示すブロック図である。

【図13】 図12に示すSRAMを収納するパッケージの一例を示す図である。

【図14】 図12に示す実施の形態のより詳細な具体

例を示す図である。

【図15】 この発明の実施の形態5の構成を示すブロック図である。

【図16】 図15に示すSRAMを収納するパッケージの一例を示す斜視図である。

【図17】 図15に示す実施の形態のより詳細な具体例を示す図である。

【図18】 この発明の実施の形態6の構成を示すブロック図である。

【図19】 図18に示す実施の形態におけるビット線周辺回路の分散配置例を示したブロック図である。

【図20】 図19に示す実施の形態のより詳細な具体例を示す図である。

【図21】 この発明の実施の形態7の構成を示すブロック図である。

【図22】 図21に示す実施の形態のより詳細な具体例を示す図である。

【図23】 この発明の実施の形態8の構成を示すブロック図である。

【図24】 図23に示す実施の形態のより詳細な具体例を示す図である。

【図25】 この発明の実施の形態9の構成を示すブロック図である。

【図26】 図25に示す実施の形態のより詳細な具体例を示す図である。

【図27】 この発明の実施の形態10の構成を示すブロック図である。

【図28】 図27に示す実施の形態のより詳細な具体例を示す図である。

【図29】 図28に示す実施の形態の効果を説明するための模式図である。

【図30】 図29に示された電流経路の等価回路図である。

【図31】 ビット線信号IO線の他の配置例を示す模式図である。

【図32】 ビット線IO線のさらに他の配置例を示す模式図である。

【図33】 この発明の実施の形態11の構成を示すブロック図である。

【図34】 図33に示す実施の形態のより詳細な具体例を示す図である。

【図35】 この発明の実施の形態12の構成を示すブロック図である。

【図36】 この発明の実施の形態13の構成を示すブ

ロック図である。

【図37】 この発明の実施の形態14の構成を示すブロック図である。

【図38】 この発明の実施の形態15の構成を示すブロック図である。

【図39】 図38に示す実施の形態におけるビット線周辺回路の構成の一例を示す図である。

【図40】 この発明の実施の形態16の構成を示すブロック図である。

【図41】 この発明の実施の形態17の構成を示すブロック図である。

【図42】 図41に示す実施の形態において用いられるダイナミックメモリの構成の一例を示す回路図である。

【図43】 図41に示す実施の形態における各ビット線周辺回路の分散配置例を示すブロック図である。

【図44】 図43に示す実施の形態のより詳細な具体例を示す図である。

【図45】 従来のSRAMの構成を示すブロック図である。

【図46】 図45に示したSRAMのメモリセルアレイの周辺部の構成を示す図である。

【図47】 図46に示すメモリセルの構成の一例を示す回路図である。

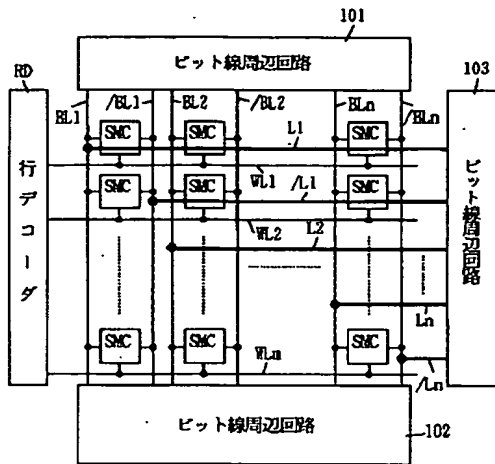
【図48】 図46に示すメモリセルの構成の他の例を示す回路図である。

【図49】 図45に示すSRAMにおけるセンスアンプおよびIO線駆動回路の構成を示す回路図である。

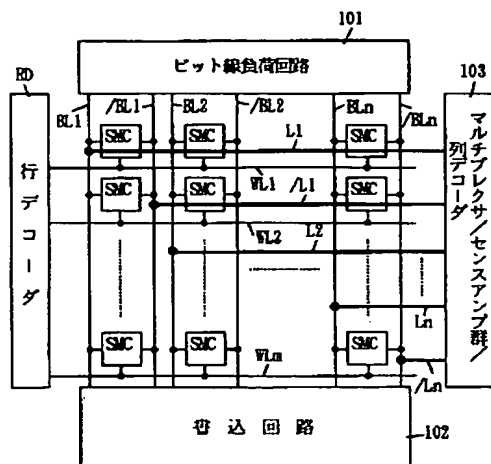
【符号の説明】

WL1~WLn:ワード線、BL1、/BL1、...BLn、/BLn:ビット線、L1、/L1、...Ln、/Ln:ビット線信号IO線、L1a、/L1a、...Ln a、/Ln a:ビット線信号IO線、L1b、/L1b、...Ln b、/Ln b:ビット線信号IO線、SMC:スタチックメモリセル、DMC:ダイナミックメモリセル、RD:行デコーダ、101~106:ビット線周辺回路、AP:アドレス信号IOピン群、DP:データ信号IOピン群、TSOPおよびSIP:半導体記憶装置を収納するパッケージ、M1およびM2:メモリブロック、GRD:グローバル行デコーダ、RD1~RD8:ローカル行デコーダ、MCA1~MCA8:分割されたメモリセルアレイ、500:IO回路、IO1~IOk:IO線、RGS1~RGSj:行グループ選択信号線。

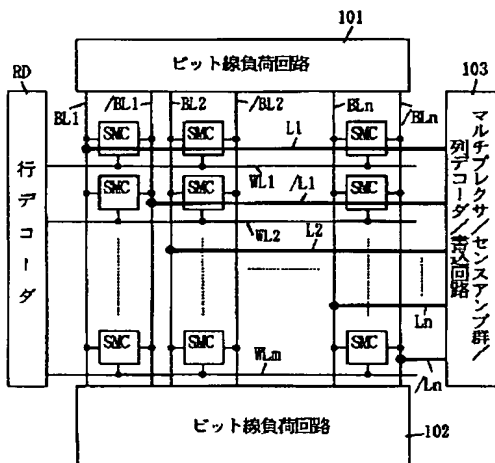
【図 1】



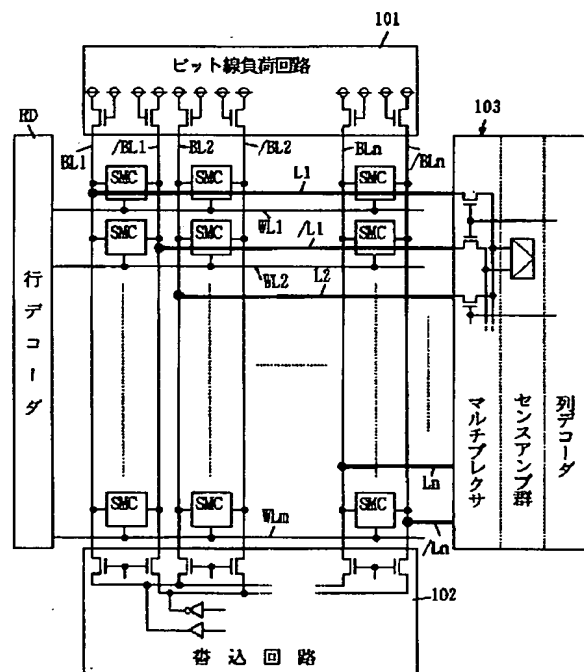
【図 2】



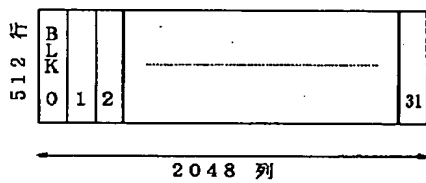
【図 3】



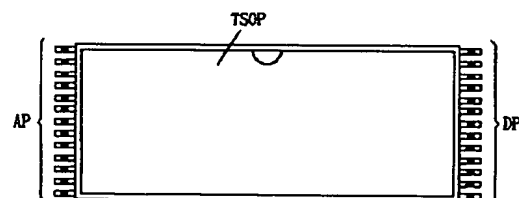
【図 4】



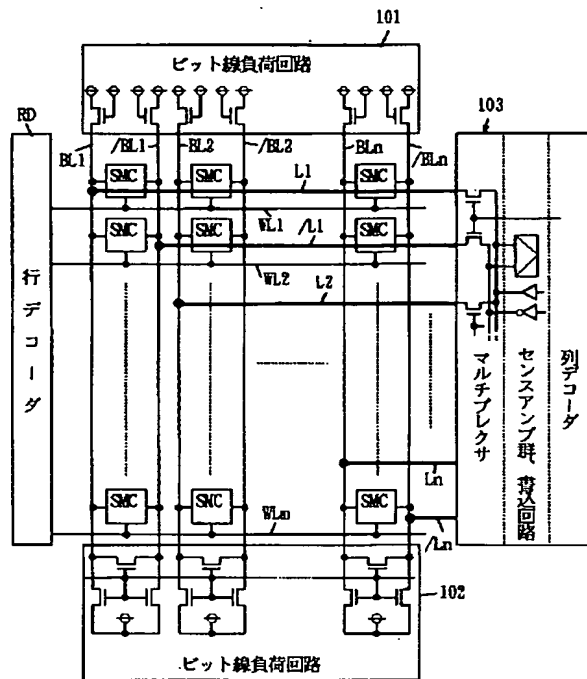
【図 6】



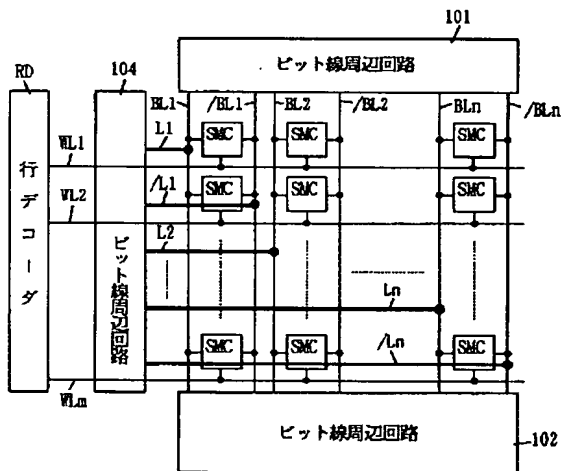
【図 13】



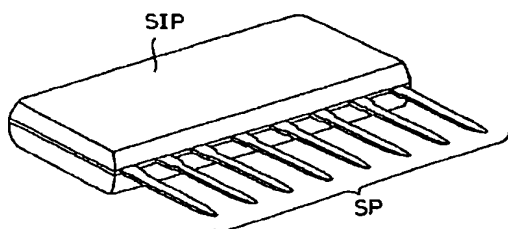
【図5】



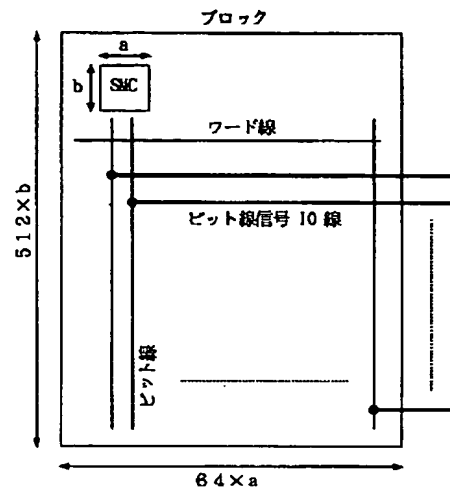
【図8】



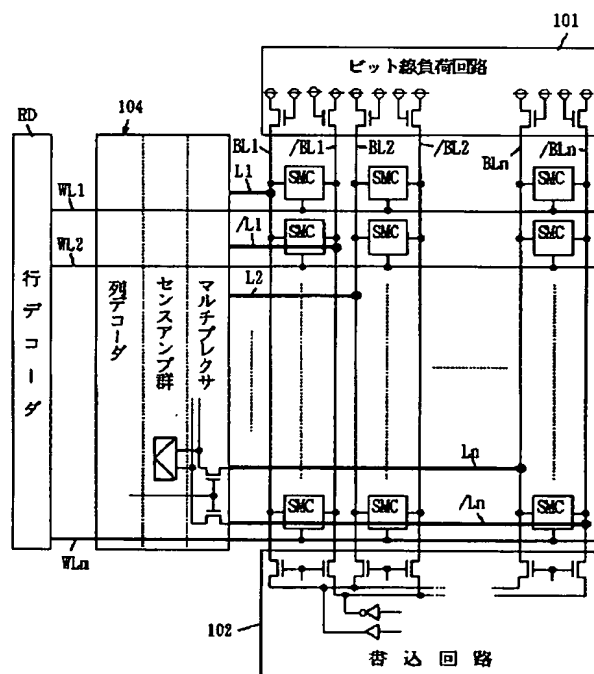
【図16】



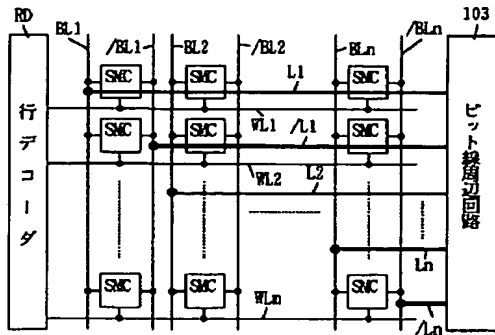
【図7】



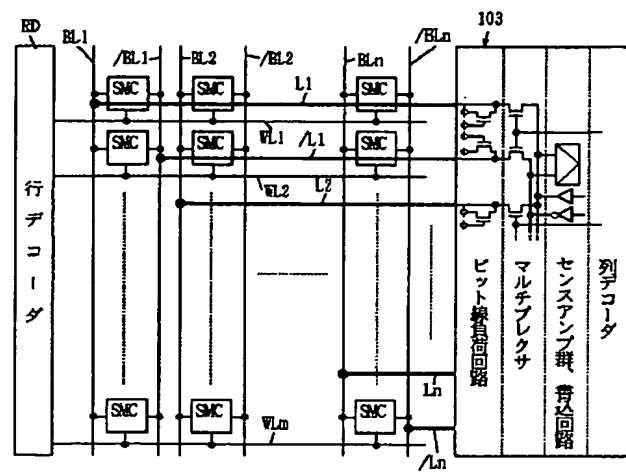
【図9】



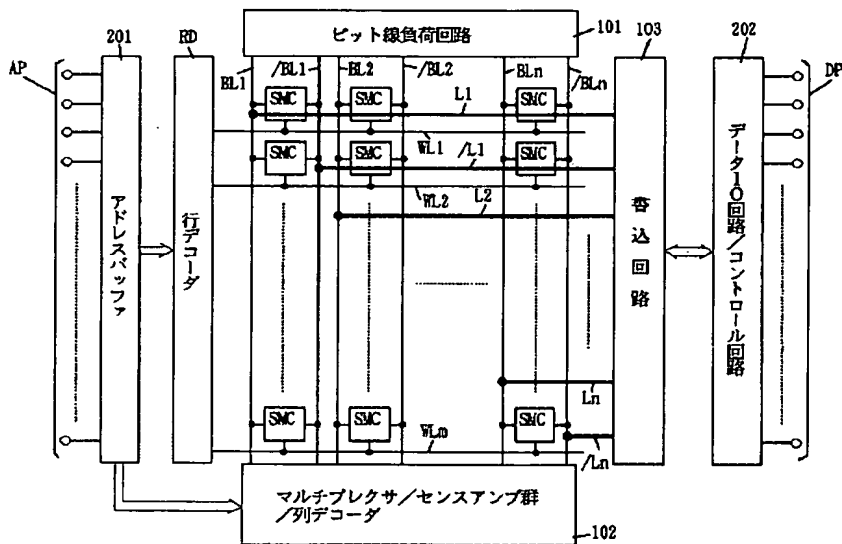
【図10】



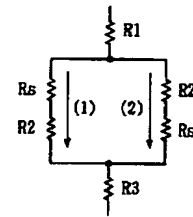
【図11】



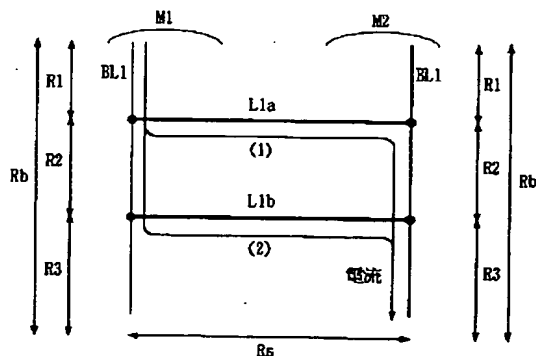
【図12】



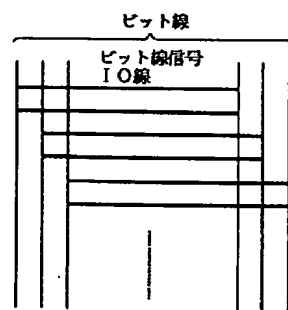
【図30】



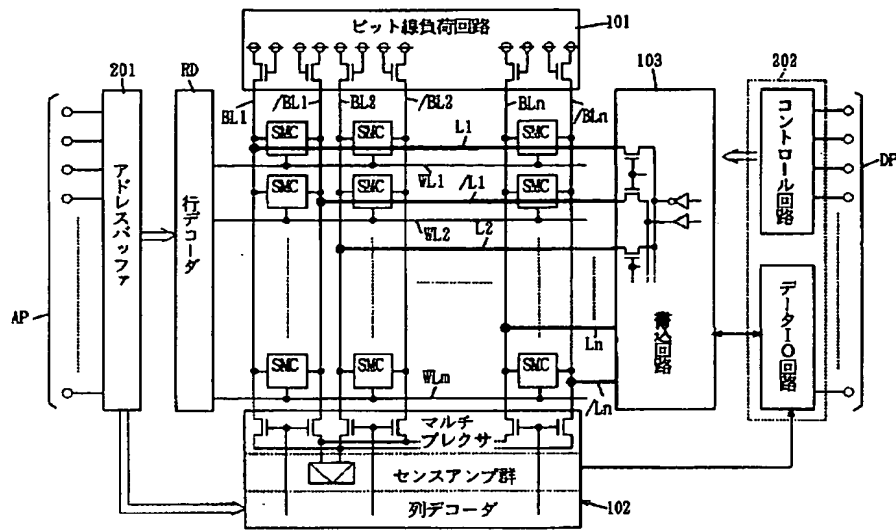
【図29】



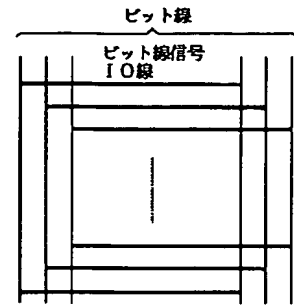
【図31】



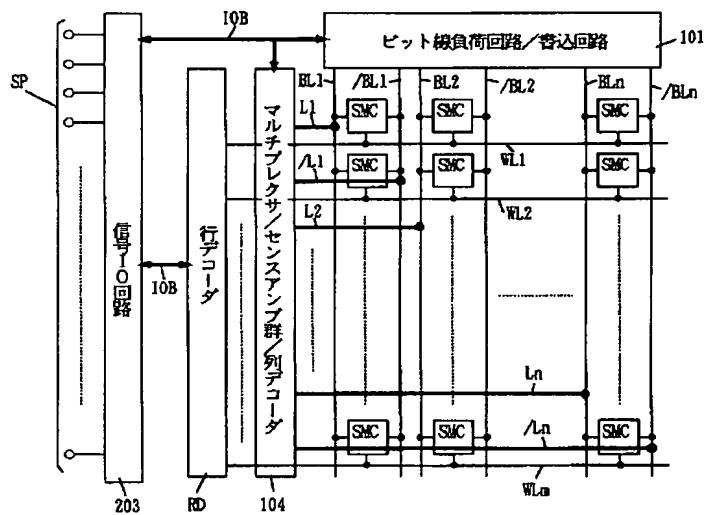
【図14】



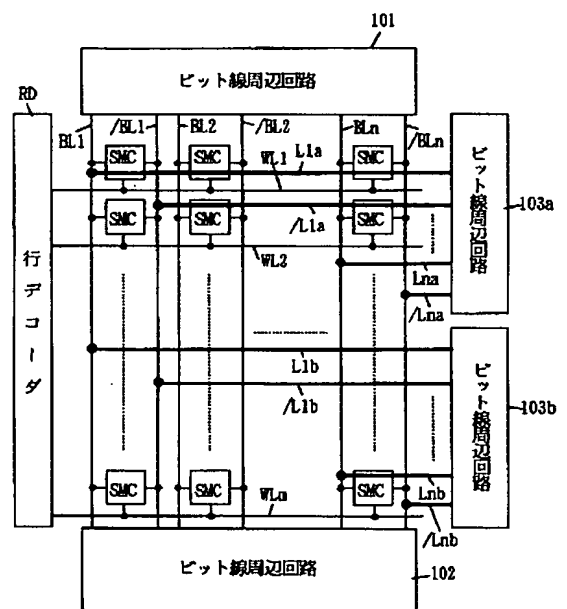
【図32】



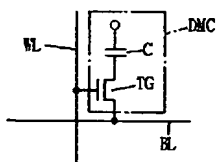
【図15】



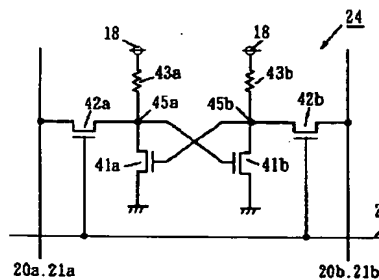
【図18】



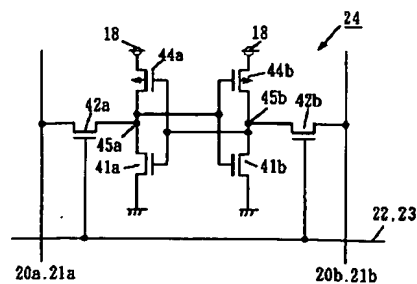
【図42】



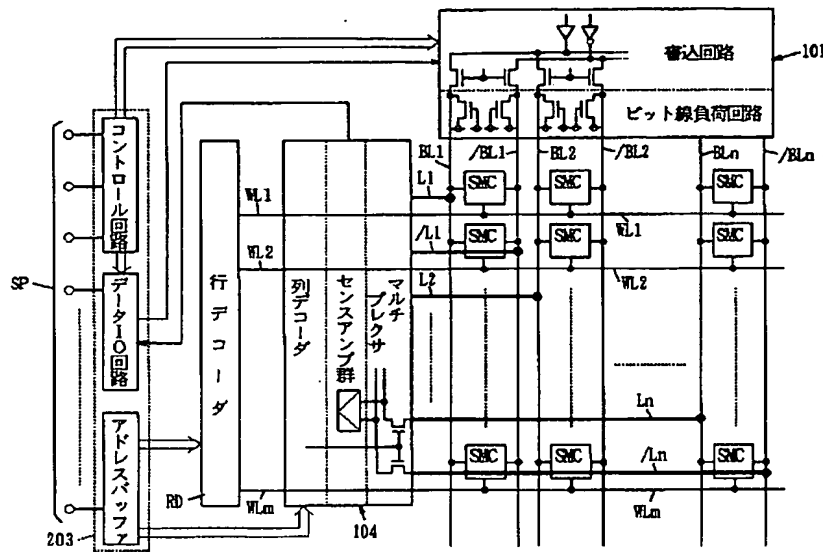
【図47】



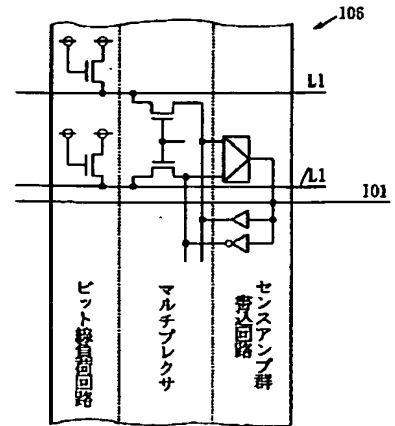
【図48】



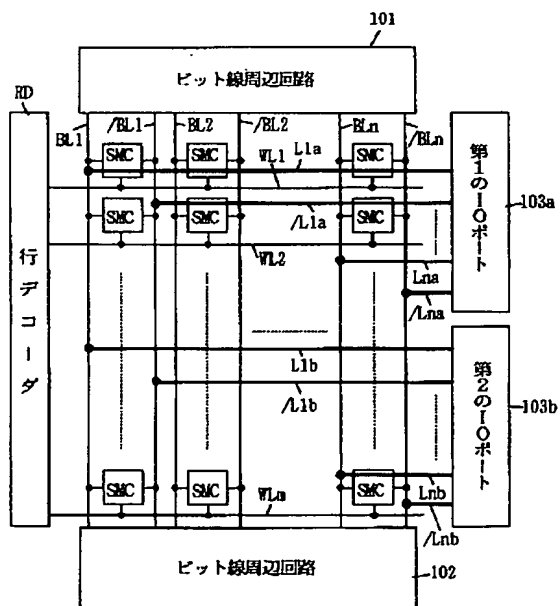
【図17】



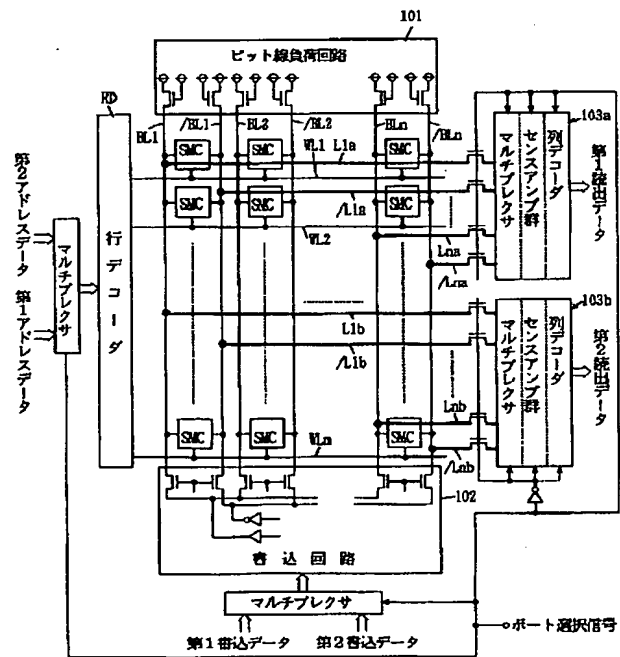
【図39】



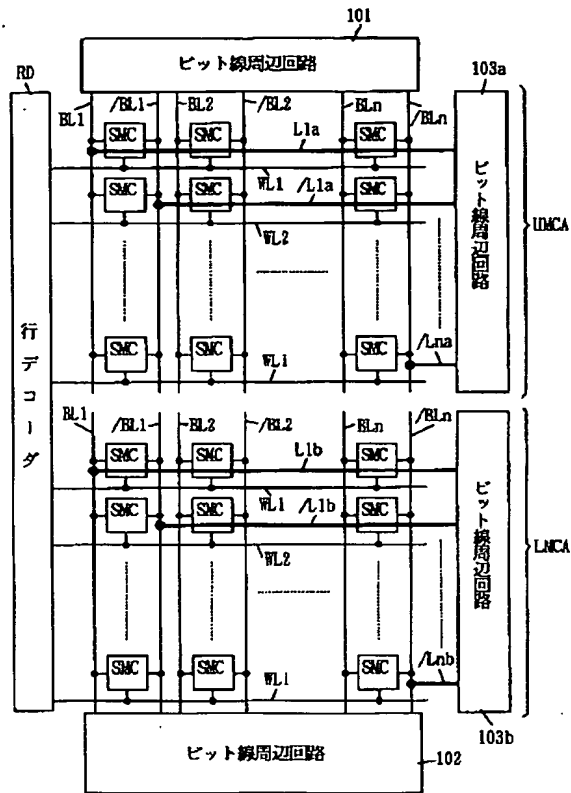
【図19】



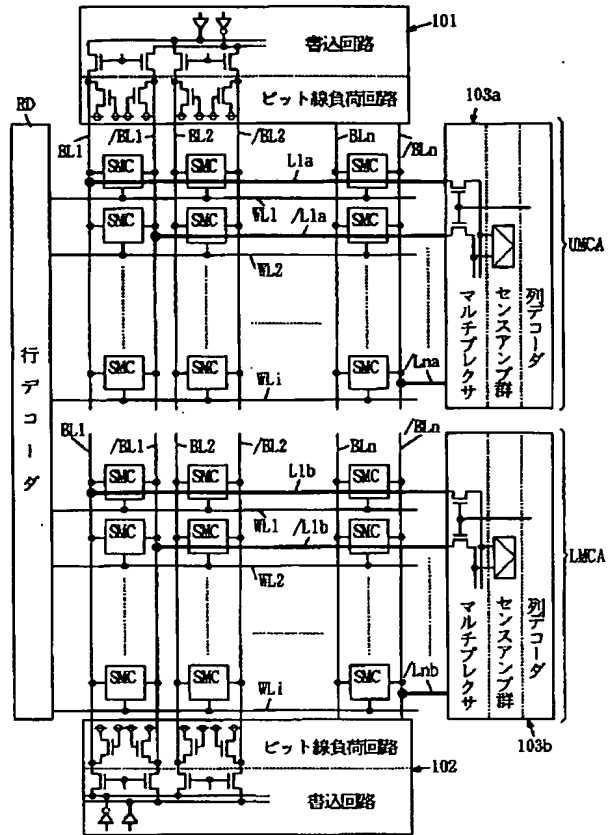
【図20】



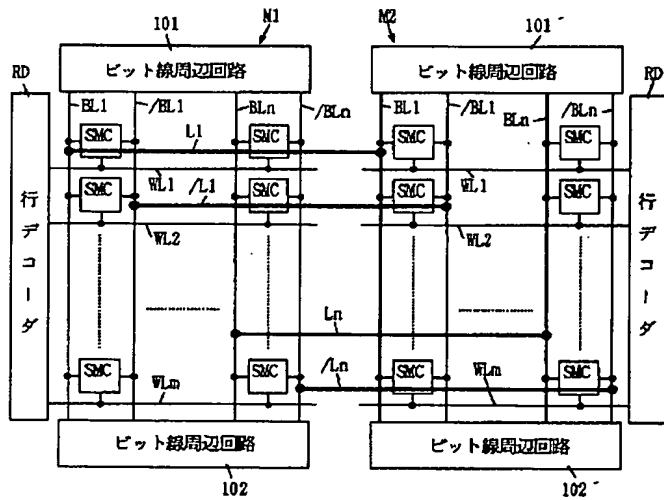
【図21】



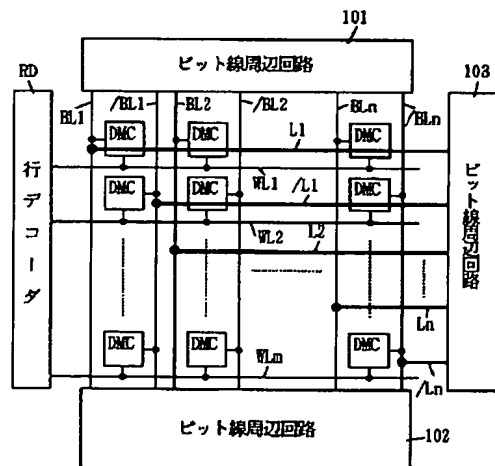
【図22】



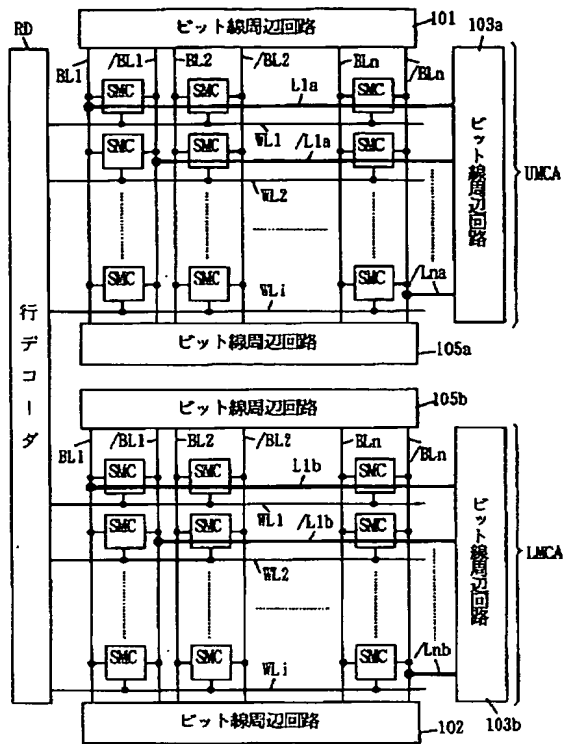
【図25】



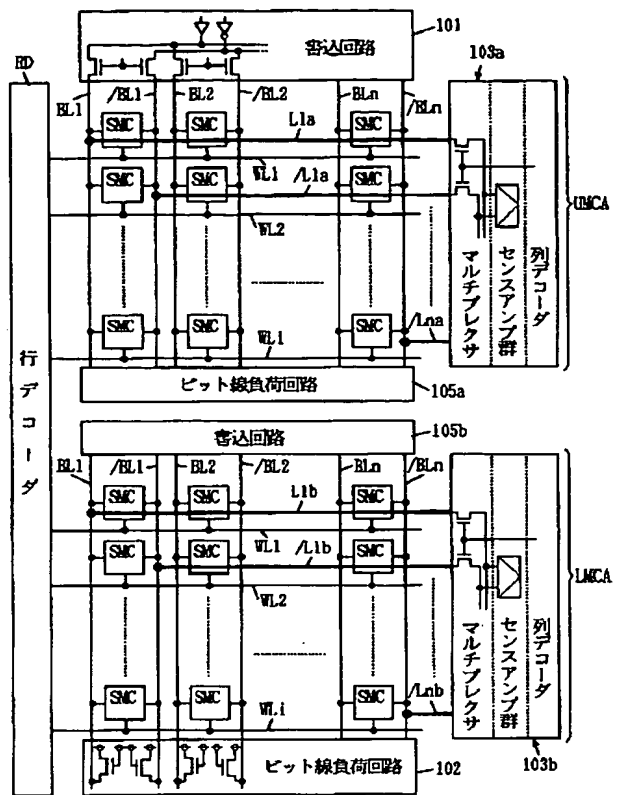
【図41】



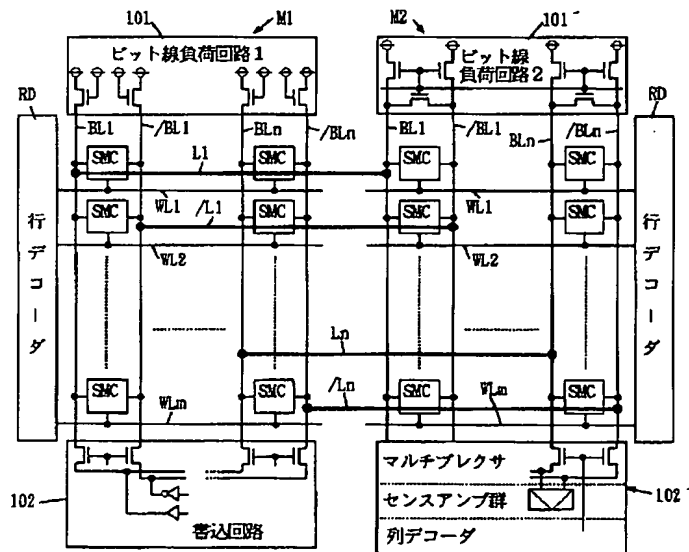
【図23】



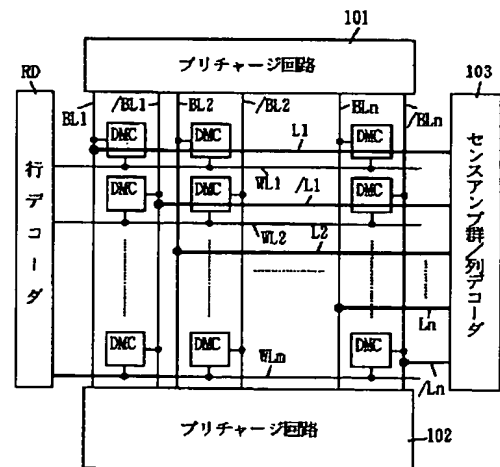
【図24】



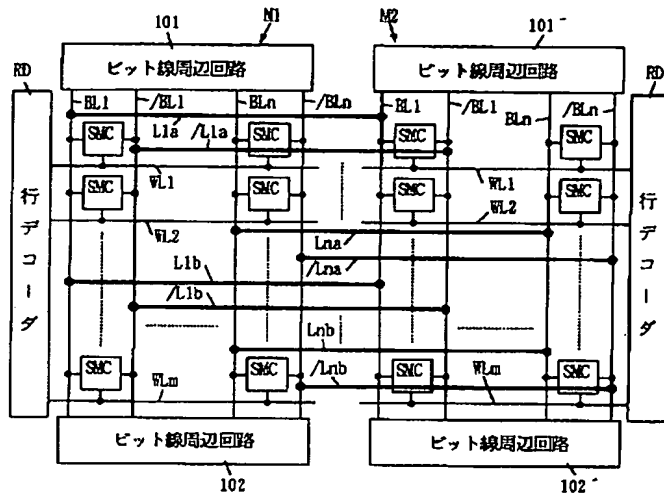
【図26】



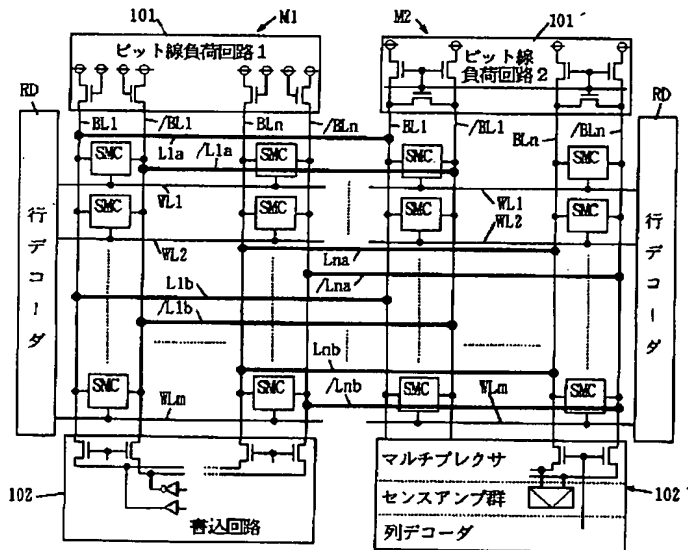
【図43】



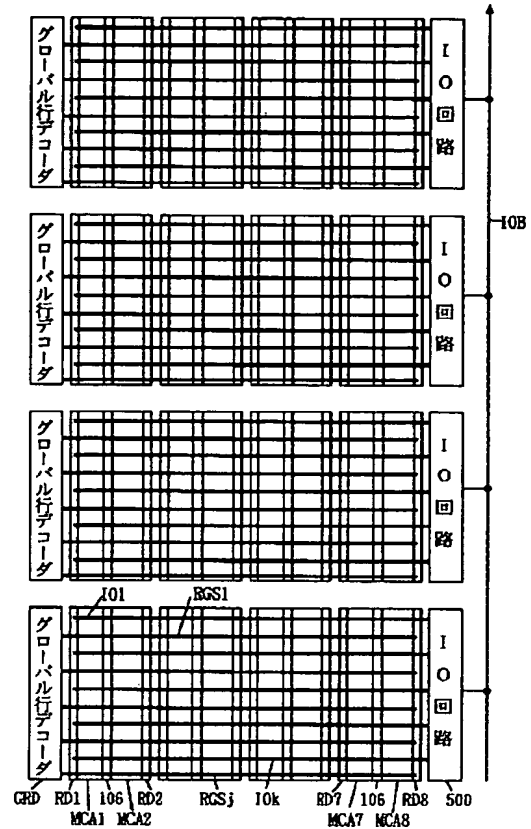
【図27】



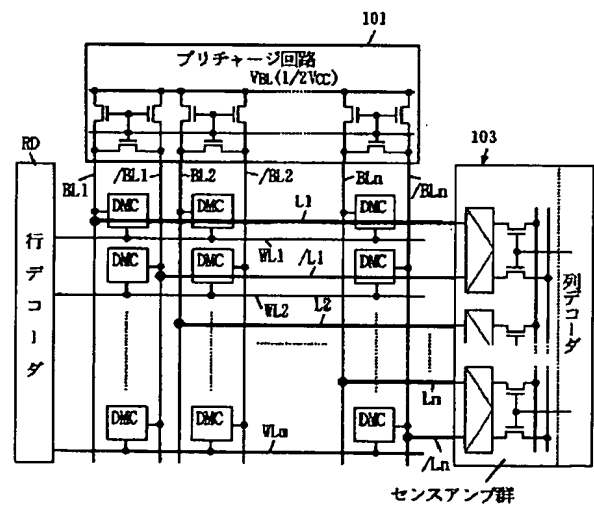
【図28】



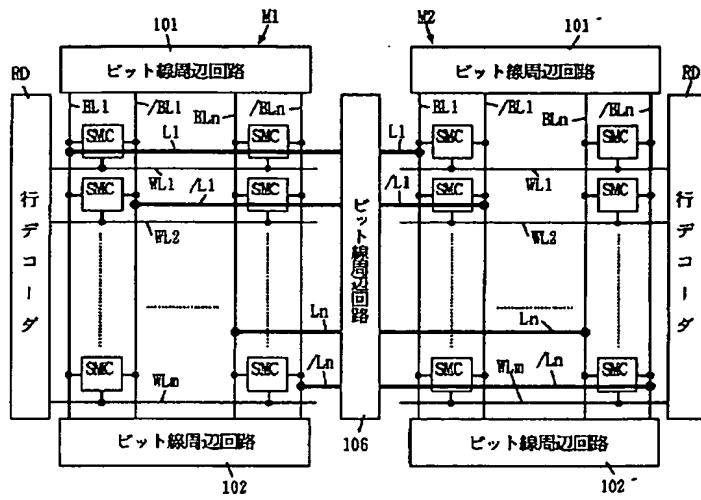
【図40】



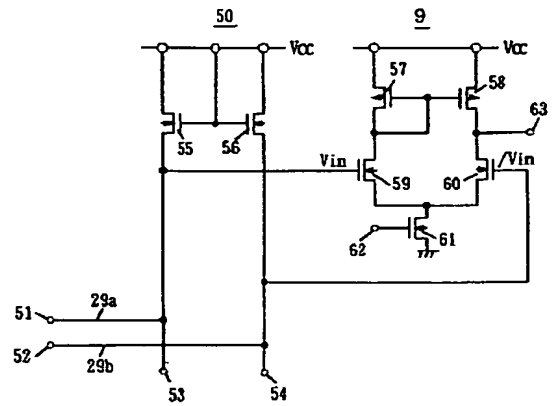
【図44】



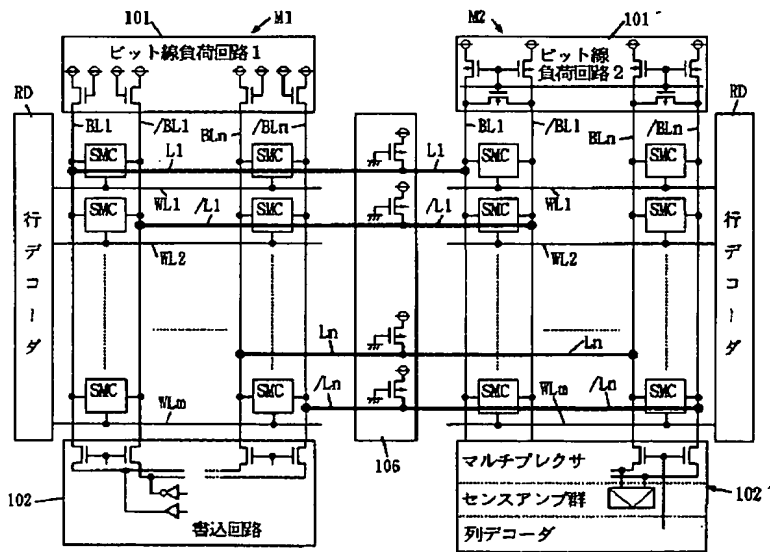
【図33】



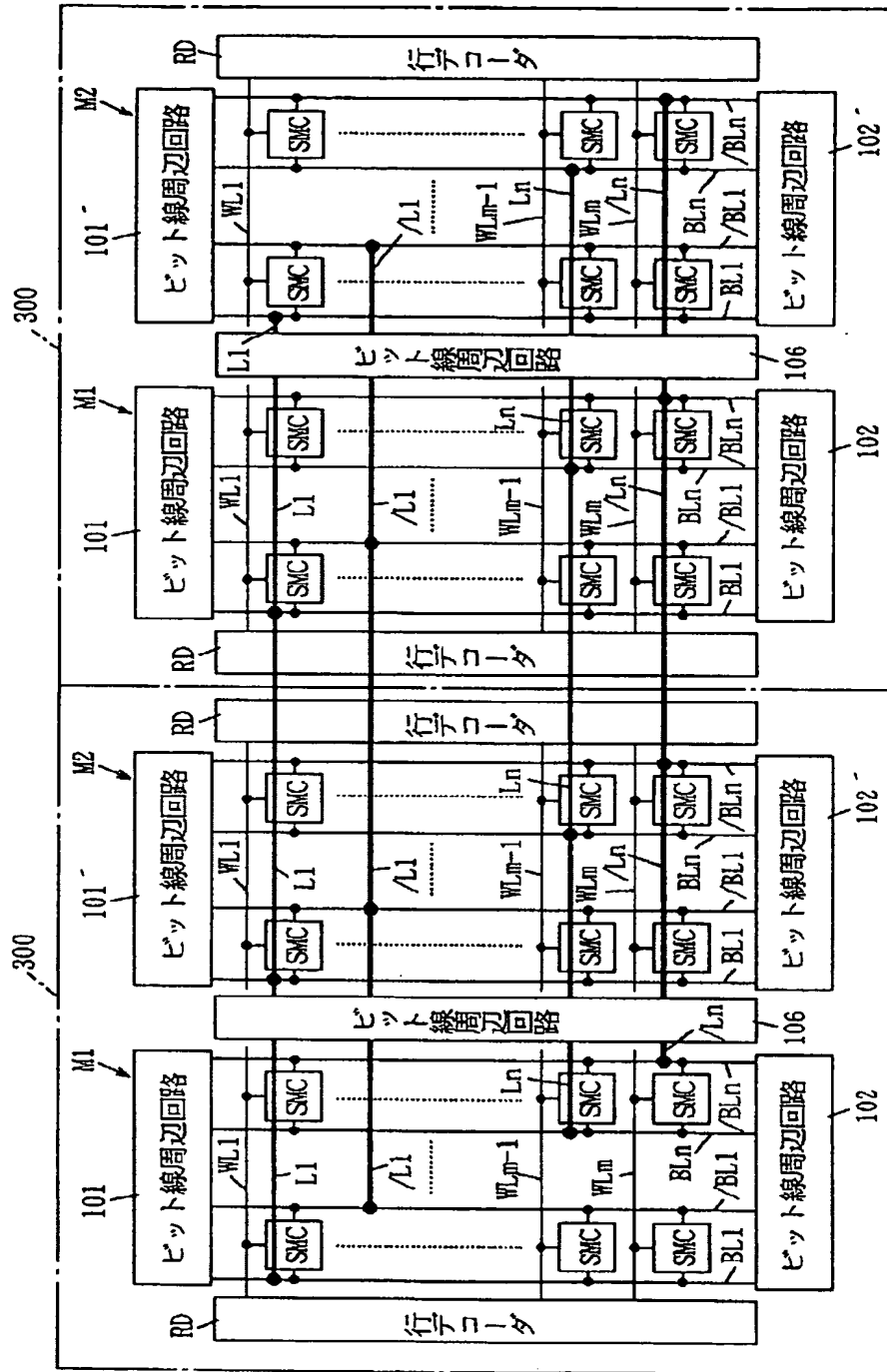
【図49】



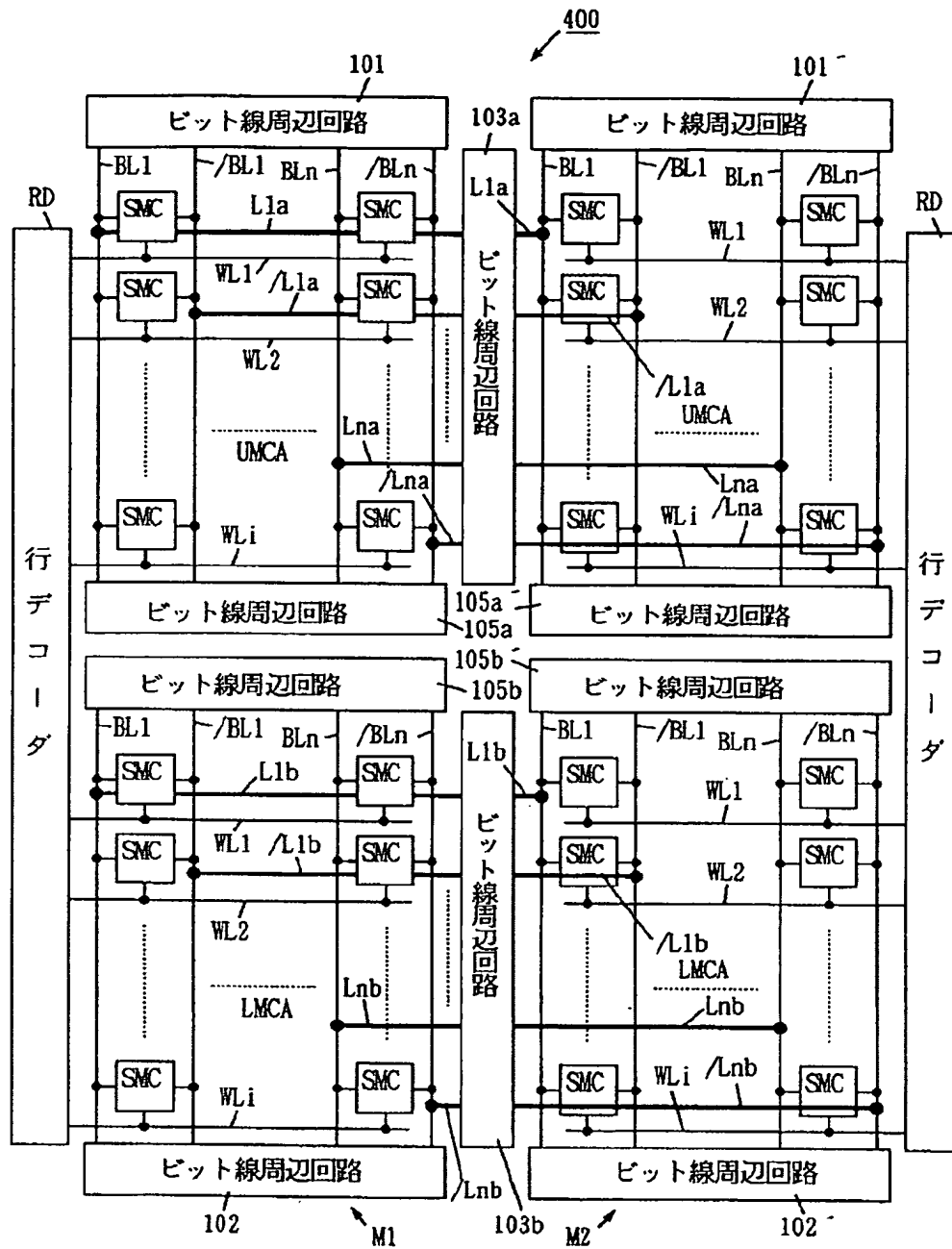
【図34】



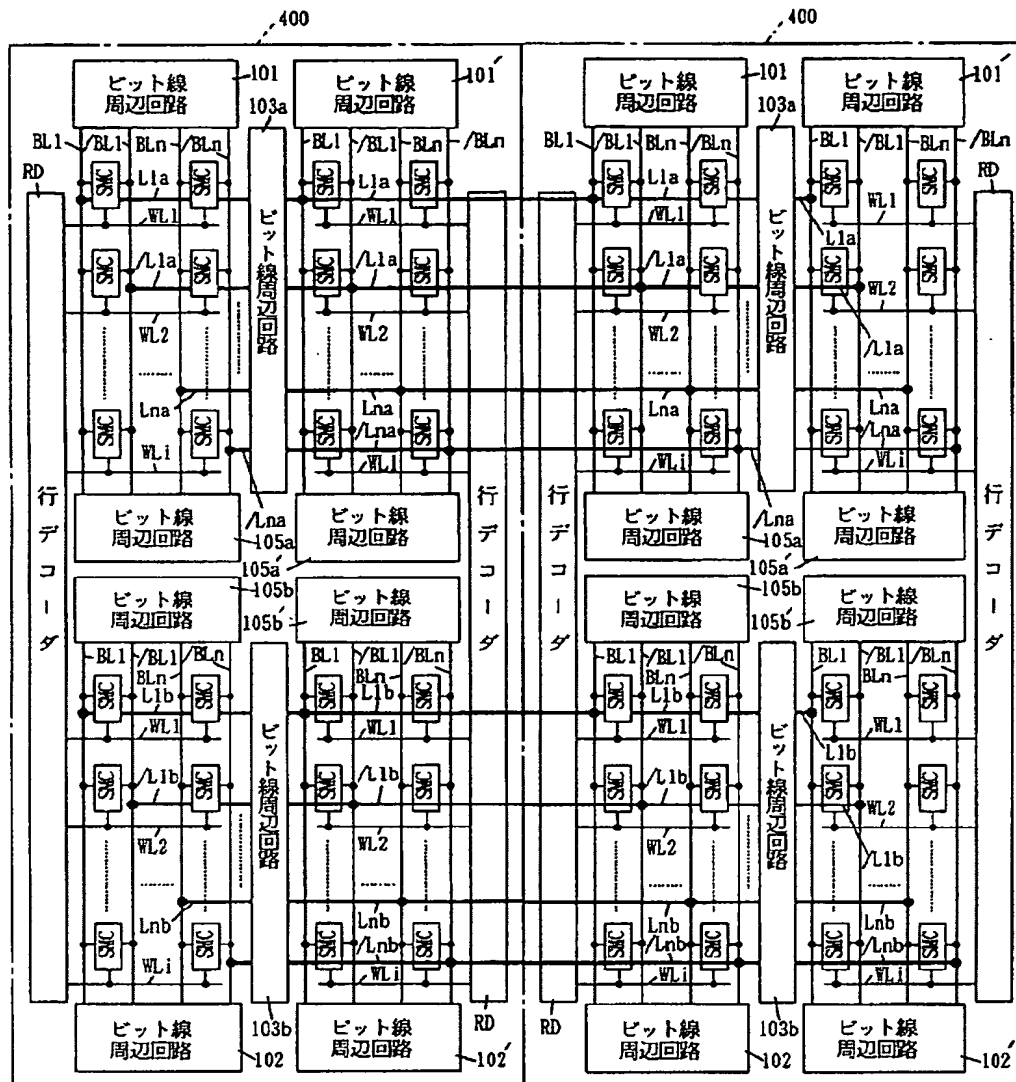
【図35】



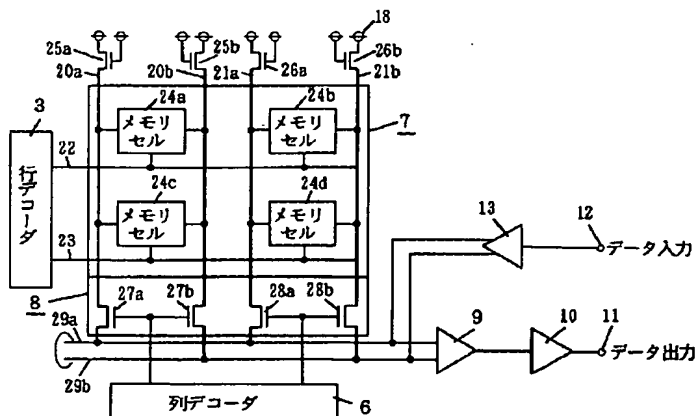
400



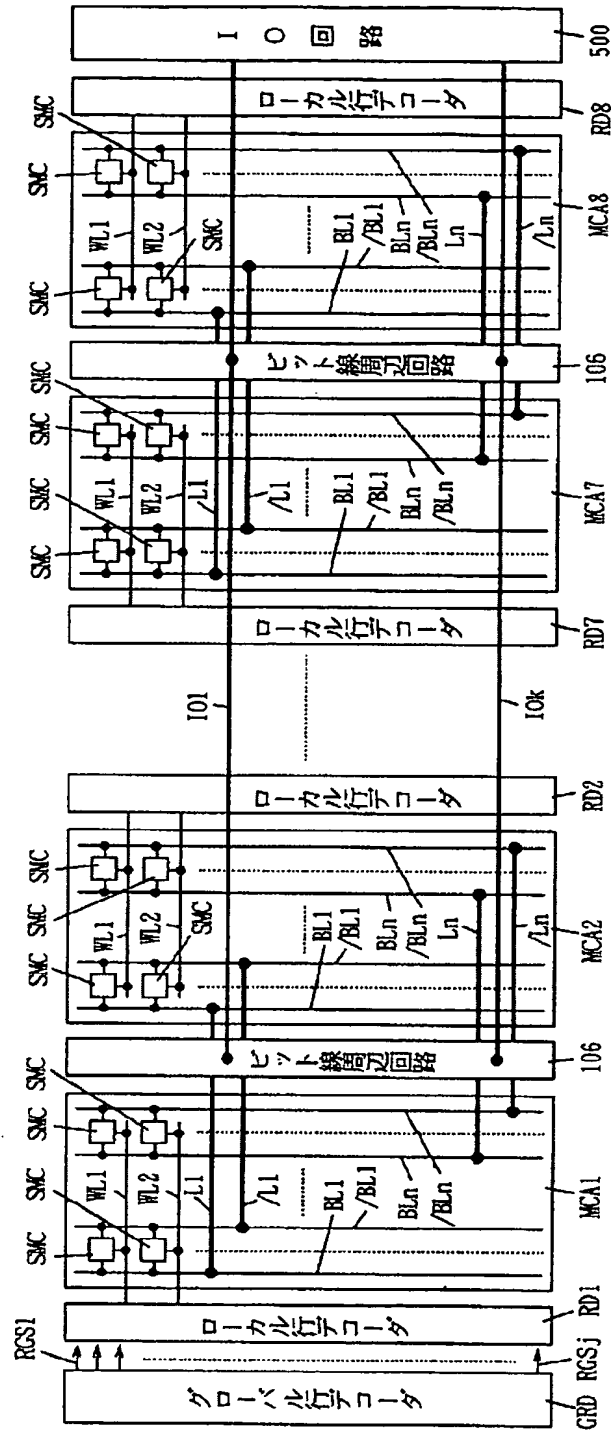
【図37】



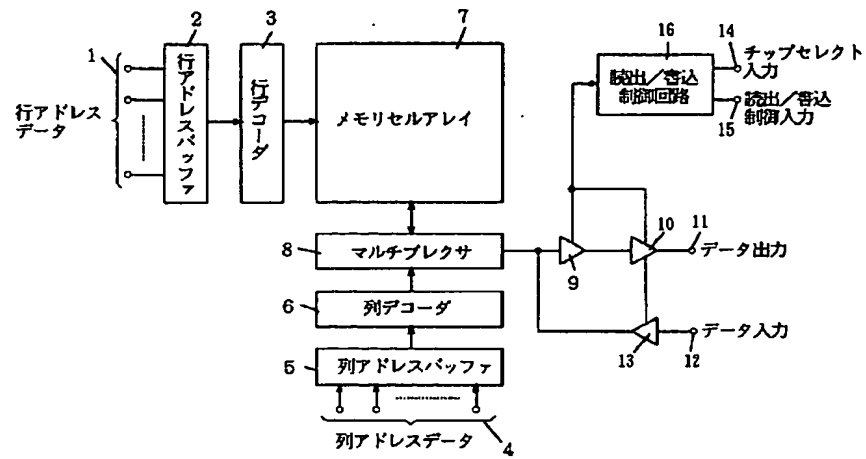
【図46】



【図38】



【図45】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成11年（1999）9月24日

【公開番号】特開平8—255484
 【公開日】平成8年（1996）10月1日
 【年通号数】公開特許公報8—2555
 【出願番号】特願平8—66736
 【国際特許分類第6版】
 G11C 11/41
 【F1】
 G11C 11/34 345

【手続補正書】

【提出日】平成9年7月31日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】追加

【補正内容】

【請求項3】 前記複数のワード線は、各々所定本数のワード線を含む複数の行グループに分割されており、前記半導体記憶装置はさらに、前記複数のメモリセルアレイに対応して設けられ、それぞれ行グループ選択信号と行アドレス信号とにより特定されるワード線を選択するための複数のローカル行デコーダと、前記複数のローカル行デコーダに前記行グループ選択信号を与えるための複数の行グループ選択信号線とを備え、前記複数の行グループ選択信号線は、前記複数のビット線信号入出力線と平行に設けられている、請求項2に記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】追加

【補正内容】

【請求項4】 前記複数のビット線信号入出力線に接続されたビット線周辺回路と、前記ビット線周辺回路と接続された、前記ビット線周辺回路を介して前記複数のビット線に対して入出力される信号の入出力線とをさらに備え、前記入出力線は前記複数のビット線信号入出力線と平行に設けられている、請求項2に記載の半導体記憶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】このような構成の半導体記憶装置においては、同一平面上に設けられた各メモリセルアレイにおける対応するビット線同士が各ビット線信号入出力線によって接続されることにより、従来は各メモリセルアレイ個別に設けられていたビット線周辺回路を、各メモリセルアレイの間で共用することが可能となる。その結果、各メモリセルアレイについて、実質的にビット線周辺回路の配置面積が増加したことになり、より大規模なビット線周辺回路の配置が可能となる。請求項3にかかるこの発明の半導体記憶装置は、請求項2に記載の構成に加え、これら複数のワード線が、各々所定本数のワード線を含む複数の行グループに分割されている。半導体記憶装置はさらに、複数のメモリセルアレイに対応して設けられ、それぞれ行グループ選択信号と行アドレス信号とにより特定されるワード線を選択するための複数のローカル行デコーダと、これら複数のローカル行デコーダに行グループ選択信号を与えるための複数の行グループ選択信号線とを備え、これら行グループ選択信号線は、ビット線信号入出力線と平行に設けられている。このような構成の半導体記憶装置においては、複数のメモリセルアレイのうちの特定の行を選択するために行グループ選択信号と行アドレス信号とを用いる。行グループ選択信号をローカル行デコーダに与えるための行グループ選択信号線はビット線信号入出力線と平行に設けられており、ビット線信号入出力線とは交差しない。したがってこれらを同一層で形成することができる。請求項4にかかるこの発明の半導体記憶装置は、請求項2に記載の構成に加え、複数のビット線信号入出力線に接続されたビット線周辺回路と、ビット線周辺回路と接続された、ビット線周辺回路を介して複数のビット線に対して入出力される信号の入出力線とをさらに備え、入出力線はビット線信号入出力線と平行に設けられている。このような構成の半導体記憶装置においては、複数のメモリセルアレイのビット線との間でビット線周辺回路を介した入出力を行なう際に入出力線が用いられる。これらの入出力線はビット線信号入出力線と平行に設けられており、ビ

ット線信号入出力線とは交差しない。したがってこれらを同一層で形成することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】また、複数のメモリセルアレイにおける対応するビット線同士をビット線信号ＩＯ線によって接続するようにしたので、あるメモリセルアレイに対して設けられたビット線周辺回路を、同一平面上にある他のメモリセルアレイでも共用することができ、その結果、各メモリセルアレイで使用可能なビット線周辺回路の数を

実質的に増加することができる。そのため、メモリセルアレイのサイズを増すことなく、より大規模なビット線周辺回路の配置が可能となる。さらに、ローカル行デコーダに行グループ選択信号を与えるための行グループ選択信号線を複数のビット線信号入出力線と平行に設けるようにしたり、ビット線周辺回路を介してビット線と入出力される信号のための入出力線をビット線信号入出力線と平行に設けたりした。行グループ選択信号線も入出力線も、ビット線信号入出力線とは互いに交差しない。そのため、メモリセルアレイのサイズを増すことなく、より大規模なビット線周辺回路の配置が可能となるのに加え、これらを配線する工程が簡素化できるという効果を奏する。

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成11年（1999）10月15日

【公開番号】特開平8—255484
 【公開日】平成8年（1996）10月1日
 【年通号数】公開特許公報8—2555
 【出願番号】特願平8—66736
 【国際特許分類第6版】
 G11C 11/41
 【F I】
 G11C 11/34 345

【手続補正書】

【提出日】平成9年7月31日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】追加

【補正内容】

【請求項3】 前記複数のワード線は、各々所定本数のワード線を含む複数の行グループに分割されており、前記半導体記憶装置はさらに、前記複数のメモリセルアレイに対応して設けられ、それぞれ行グループ選択信号と行アドレス信号とにより特定されるワード線を選択するための複数のローカル行デコーダと、前記複数のローカル行デコーダに前記行グループ選択信号を与えるための複数の行グループ選択信号線とを備え、前記複数の行グループ選択信号線は、前記複数のビット線信号入出力線と平行に設けられている、請求項2に記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】追加

【補正内容】

【請求項4】 前記複数のビット線信号入出力線に接続されたビット線周辺回路と、前記ビット線周辺回路と接続された、前記ビット線周辺回路を介して前記複数のビット線に対して入出力される信号の入出力線とをさらに備え、前記入出力線は前記複数のビット線信号入出力線と平行に設けられている、請求項2に記載の半導体記憶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】このような構成の半導体記憶装置においては、同一平面上に設けられた各メモリセルアレイにおける対応するビット線同士が各ビット線信号入出力線によって接続されることにより、従来は各メモリセルアレイ個別に設けられていたビット線周辺回路を、各メモリセルアレイの間で共用することが可能となる。その結果、各メモリセルアレイについて、実質的にビット線周辺回路の配置面積が増加したことになり、より大規模なビット線周辺回路の配置が可能となる。請求項3にかかるこの発明の半導体記憶装置は、請求項2に記載の構成に加え、これら複数のワード線が、各々所定本数のワード線を含む複数の行グループに分割されている。半導体記憶装置はさらに、複数のメモリセルアレイに対応して設けられ、それぞれ行グループ選択信号と行アドレス信号とにより特定されるワード線を選択するための複数のローカル行デコーダと、これら複数のローカル行デコーダに行グループ選択信号を与えるための複数の行グループ選択信号線とを備え、これら行グループ選択信号線は、ビット線信号入出力線と平行に設けられている。このような構成の半導体記憶装置においては、複数のメモリセルアレイのうちの特定の行を選択するために行グループ選択信号と行アドレス信号とを用いる。行グループ選択信号をローカル行デコーダに与えるための行グループ選択信号線はビット線信号入出力線と平行に設けられており、ビット線信号入出力線とは交差しない。したがってこれらを同一層で形成することができる。請求項4にかかるこの発明の半導体記憶装置は、請求項2に記載の構成に加え、複数のビット線信号入出力線に接続されたビット線周辺回路と、ビット線周辺回路と接続された、ビット線周辺回路を介して複数のビット線に対して入出力される信号の入出力線とをさらに備え、入出力線はビット線信号入出力線と平行に設けられている。このような構成の半導体記憶装置においては、複数のメモリセルアレイのビット線との間でビット線周辺回路を介した入出力を行なう際に入出力線が用いられる。これらの入出力線はビット線信号入出力線と平行に設けられており、ビ

ット線信号入出力線とは交差しない。したがってこれらを同一層で形成することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】また、複数のメモリセルアレイにおける対応するビット線同士をビット線信号IO線によって接続するようにしたので、あるメモリセルアレイに対して設けられたビット線周辺回路を、同一平面上にある他のメモリセルアレイでも共用することができ、その結果、各メモリセルアレイで使用可能なビット線周辺回路の数を

実質的に増加することができる。そのため、メモリセルアレイのサイズを増すことなく、より大規模なビット線周辺回路の配置が可能となる。さらに、ローカル行デコーダに行グループ選択信号を与えるための行グループ選択信号線を複数のビット線信号入出力線と平行に設けるようにしたり、ビット線周辺回路を介してビット線と入出力される信号のための入出力線をビット線信号入出力線と平行に設けたりした。行グループ選択信号線も入出力線も、ビット線信号入出力線とは互いに交差しない。そのため、メモリセルアレイのサイズを増すことなく、より大規模なビット線周辺回路の配置が可能となるのに加え、これらを配線する工程が簡素化できるという効果を奏する。